Docket No.: 60188-680 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Akio HIRATA, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 17, 2003	:	Examiner:

For: FLIP-FLOP CIRCUIT

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP2002-304900, filed on October 18, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: October 17, 2003

60188-680
AKIO HIRATA, et al.
October 17, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: ２００２年１０月１８日

出 願 番 号
Application Number: 特願２００２－３０４９００

[ST. 10/C]: [ＪＰ２００２－３０４９００]

出 願 人
Applicant(s): 松下電器産業株式会社

２００３年 ９月２４日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号 出証特２００３－３０７８１６９

【書類名】　特許願
【整理番号】　5037640104
【提出日】　平成14年10月18日
【あて先】　特許庁長官　殿
【国際特許分類】　H03K　3/037
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
　【氏名】　平田　昭夫
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
　【氏名】　祇園　雅弘
【発明者】
　【住所又は居所】　大阪府門真市大字門真１００６番地　松下電器産業株式会社内
　【氏名】　中西　和幸
【特許出願人】
　【識別番号】　000005821
　【氏名又は名称】　松下電器産業株式会社
【代理人】
　【識別番号】　100077931
　【弁理士】
　【氏名又は名称】　前田　弘
【選任した代理人】
　【識別番号】　100094134
　【弁理士】
　【氏名又は名称】　小山　　廣毅

【選任した代理人】

【識別番号】　100110939

【弁理士】

【氏名又は名称】　竹内　宏

【選任した代理人】

【識別番号】　100110940

【弁理士】

【氏名又は名称】　嶋田　高久

【選任した代理人】

【識別番号】　100113262

【弁理士】

【氏名又は名称】　竹内　祐二

【選任した代理人】

【識別番号】　100115059

【弁理士】

【氏名又は名称】　今江　克実

【選任した代理人】

【識別番号】　100115510

【弁理士】

【氏名又は名称】　手島　勝

【選任した代理人】

【識別番号】　100115691

【弁理士】

【氏名又は名称】　藤田　篤史

【手数料の表示】

【予納台帳番号】　014409

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　0006010

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　フリップフロップ回路

【特許請求の範囲】

【請求項１】　入力端子と、クロック端子と、出力端子と、

前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、

前記入力部の出力をラッチするラッチ回路と、

第１のノードを有し、前記入力部の動作を制御する制御部と、

前記出力端子から信号を出力する出力部とを備え、

前記入力部は、前記制御部の第１のノードのレベルを制御信号として受けると共に、第２のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第２のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がハイレベルのとき前記第２のノードに前記入力端子の入力信号に依存した論理の信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がローレベルのとき前記第２のノードをハイインピーダンスとするものであり、

前記ラッチ回路は、前記入力部の第２のノードの信号を受けると共に、第３のノードを有し、前記入力部の第２のノードの信号を論理反転した信号を前記第３のノードに出力するものであり、

前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第３のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第１のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第１のノードに前記ラッチ回路の前記第３のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、

前記出力部は、前記制御部の前記第１のノードの信号及び前記ラッチ回路の前記第３のノードの信号を受け、前記制御部の前記第１のノードの信号がハイレベルであり且つ前記ラッチ回路の前記第３のノードの信号がローレベルのとき前記出力端子の信号を保持し、前記制御部の前記第１のノードの信号がハイレベルで

あり且つ前記ラッチ回路の前記第３のノードの信号がハイレベルのとき前記出力端子にハイレベルの信号を出力し、前記制御部の前記第１のノードの信号がローレベルであり且つ前記ラッチ回路の前記第３のノードの信号がローレベルのとき前記出力端子にローレベルの信号を出力するものである

ことを特徴とするフリップフロップ回路。

【請求項２】　入力端子と、クロック端子と、出力端子と、

前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、

前記入力部の出力をラッチするラッチ回路と、

第１のノードを有し、前記入力部の動作を制御する制御部と、

前記出力端子から信号を出力する出力部とを備え、

前記入力部は、前記制御部の第１のノードのレベルを制御信号として受けると共に、第２のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第２のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がハイレベルのとき前記第２のノードに前記入力端子の入力信号に依存した論理の信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がローレベルのとき前記第２のノードをハイインピーダンスとするものであり、

前記ラッチ回路は、前記入力部の第２のノードの信号を受けると共に、第３のノードを有し、前記入力部の第２のノードの信号を論理反転した信号を前記第３のノードに出力するものであり、

前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第３のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第１のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第１のノードに前記ラッチ回路の前記第３のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、

前記出力部は、前記クロック端子にローレベルの信号が加わるとき、前記出力端子の信号を保持し、前記クロック端子にハイレベルの信号が加わるとき、前記

第２のノードの信号を反転した信号を前記出力端子に出力する

ことを特徴とするフリップフロップ回路。

【請求項３】　請求項１又は２記載のフリップフロップ回路において、前記制御部は、前記入力部に出力する制御信号を遅延させるための遅延回路を備える

ことを特徴とするフリップフロップ回路。

【請求項４】　請求項１、２又は３記載のフリップフロップ回路において、前記制御部は、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルへ遷移するとき、制御部の第１のノードの信号がローレベルへ遷移する速度を速くする遷移速度促進手段を備える

ことを特徴とするフリップフロップ回路。

【請求項５】　請求項１、２、３又は４記載のフリップフロップ回路において、前記ラッチ回路は、前記制御部の第１のノードの信号がハイレベルであり且つ前記ラッチ回路の第３のノードの信号がローレベルであるときに前記入力部の第２のノードへの電流供給経路を遮断して、同第２のノードをハイインピーダンスとする第１の遮断手段を備える

ことを特徴とするフリップフロップ回路。

【請求項６】　請求項１、２、３、４又は５記載のフリップフロップ回路において、前記出力部は、前記ラッチ回路の第２のノードの信号がローレベルの場合に、前記制御部の第１のノードに一時的に現れるローレベルの信号が前記出力端子に伝播するのを遮断する第２の遮断手段を備える

ことを特徴とするフリップフロップ回路。

【請求項７】　請求項１、２、３、４、５又は６記載のフリップフロップ回路において、前記出力部は、ゲート端子を前記第２のノードに接続し、ソースを電源に接続し、ドレインを前記出力端子に接続するＰＭＯＳトランジスタを備える

ことを特徴とするフリップフロップ回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、高速に動作するフリップフロップ回路に関し、詳しくは、トランジ

スタ数が少なくて低消費電力なフリップフロップ回路に関する。

【０００２】

【従来の技術】

一般に、半導体集積回路のロジック回路では、面積、消費電力、クリティカルパス遅延の中でフリップフロップ回路の占める割合は大きく、フリップフロップ回路の小面積化、低消費電力化、高速化が望まれる。

【０００３】

従来、高速用途向けにクロック周期と比較して短いパルス幅の期間にデータ取り込みを行うラッチ回路を用いたフリップフロップ回路が提案されている。以下、このような構成のフリップフロップ回路の従来例について説明する。

【０００４】

図１０はＳＤＦＦ(Ｓｅｍｉ-Ｄｙｎａｍｉｃ　Ｆｌｉｐ-Ｆｌｏｐ)と呼ばれるフリップフロップ回路の一構成例であり、特許文献１に記載されたものである。

【０００５】

図１０において、Ｄは入力端子、ＣＫはクロック端子、Ｑは出力端子を示す。ＭＰ１、ＭＰ２はＰＭＯＳトランジスタ、ＭＮ１、ＭＮ２、ＭＮ３、ＭＮ４及びＭＮ５はＮＭＯＳトランジスタ、ＩＮＶ１、ＩＮＶ２、ＩＮＶ３、ＩＮＶ４、ＩＮＶ５及びＩＮＶ６はインバータ回路、ＮＡＮＤ１はＮＡＮＤ回路である。ＣＫＤ及びｎ１はノード、ＩＱは内部出力端子、ＱＢは反転出力端子である。

【０００６】

前記ＰＭＯＳトランジスタＭＰ１と３個の前記ＮＭＯＳトランジスタＭＮ１、ＭＮ２、ＭＮ３とは直列に接続されており、前記ＰＭＯＳトランジスタＭＰ１のソースは電源に、前記ＮＭＯＳトランジスタＭＮ３のソースはアースに各々接続される。前記インバータ回路ＩＮＶ１，ＩＮＶ２はクロック端子ＣＫのクロック信号（以下、クロック信号ＣＫという）を遅延させて、前記ＮＡＮＤ回路ＮＡＮＤ１の入力端子へ伝達する遅延回路を構成し、前記クロック端子ＣＫと前記ＮＡＮＤ回路ＮＡＮＤ１の入力端子との間に直列に挿入される。前記ＮＡＮＤ回路ＮＡＮＤ１の２つの入力端子のうち前記インバータ回路ＩＮＶ２の出力端子と接続される入力端子をノードＣＫＤ、他方の入力端子をノードｎ１とする。前記ノー

ドｎ１は前記ＰＭＯＳトランジスタＭＰ１と前記ＮＭＯＳトランジスタＭＮ１との接続点、前記インバータ回路ＩＮＶ３の出力端子、前記ＰＭＯＳトランジスタＭＰ２と前記ＮＭＯＳトランジスタＭＮ４との接続点とを接続する。また、前記ＮＡＮＤ回路ＮＡＮＤ１の出力端子は前記ＮＭＯＳトランジスタＭＮ１のゲート端子に接続される。前記インバータ回路ＩＮＶ３、ＩＮＶ４は、前記インバータ回路ＩＮＶ３の出力端子をインバータ回路ＩＮＶ４の入力端子に、前記インバータ回路ＩＮＶ４の出力端子を前記インバータ回路ＩＮＶ３の入力端子に接続したラッチ回路を構成し、前記ノードｎ１の値を保持するために前記インバータ回路ＩＮＶ３の出力側と前記インバータ回路ＩＮＶ４の入力側とが前記ノードｎ１に接続される。前記ＰＭＯＳトランジスタＭＰ２と前記ＮＭＯＳトランジスタＭＮ４、ＭＮ５は直列に接続されており、前記ＰＭＯＳトランジスタＭＰ２のソースは電源に、前記ＮＭＯＳトランジスタＭＮ５のソースはアースに接続される。また、前記クロック端子ＣＫは前記ＰＭＯＳトランジスタＭＰ１のゲートと、前記ＮＮＯＳトランジスタＭＮ３、ＭＮ４の各ゲートと、前記インバータ回路ＩＮＶ１の入力端子とに接続される。前記インバータ回路ＩＮＶ５、ＩＮＶ６は前記インバータ回路ＩＮＶ３、ＩＮＶ４と同様にラッチ回路を構成し前記反転出力端子ＱＢの値を保持する。

【０００７】

特許文献１においては、前記インバータ回路ＩＮＶ７は無く、前記内部出力端子ＩＱから直接外部を駆動する形となっている。しかし、出力配線に加わるクロストークノイズの影響により前記インバータ回路ＩＮＶ５、ＩＮＶ６で保持されているデータが変化してしまうのを防いだり、出力負荷が大きいときに動作速度が極端に低下するのを防ぐためには前記インバータ回路ＩＮＶ７を用いて出力負荷を駆動するのが実用的である。よって以下では前記インバータ回路ＩＮＶ７を備えた場合について説明する。

【０００８】

図１０において、前記クロック信号ＣＫがローレベルの期間の初期状態では、前記ＰＭＯＳトランジスタＭＰ１により前記ノードｎ１が充電されてハイレベルに遷移する。この時、前記ＮＭＯＳトランジスタＭＮ４および前記ＰＭＯＳトラ

ンジスタＭＰ２がカットオフされるため、前記出力端子Ｑは以前の値に保持される。

【０００９】

続いて、前記クロック信号ＣＫがハイレベルに遷移する時には、前記ノードＣＫＤはただちにはハイレベルに遷移せず、前記インバータ回路ＩＮＶ１、ＩＮＶ２により遅延されてハイレベルに遷移する。前記クロック信号ＣＫがハイレベルかつ前記ノードＣＫＤの信号がローレベルの期間（以後、評価期間と呼ぶ）では、前記ＮＭＯＳトランジスタＭＮ１がオン状態となるため、この期間において入力端子Ｄの入力信号（以下、入力信号Ｄという）がハイレベルであれば、前記ノードｎ１の信号のレベルが放電によりローレベルに遷移し、前記ＰＭＯＳトランジスタＭＰ２により前記内部出力端子ＩＱの信号がハイレベルに遷移し、遅れて前記出力端子Ｑの出力信号もハイレベルに遷移する。一方、前記評価期間において、前記入力信号Ｄがローレベルであれば、ＮＭＯＳトランジスタＭＮ２がオフ状態にあるため、前記ノードｎ１の信号はハイレベルのままであり、前記ＮＭＯＳトランジスタＭＮ４、ＭＮ５がオン状態となることにより前記内部出力端子ＩＱの信号がローレベルに遷移し、遅れて前記出力端子Ｑの出力信号もローレベルに遷移する。

【００１０】

その後、前記クロック信号ＣＫがハイレベルでかつ前記ノードＣＫＤの信号がハイレベルの状態（以後、保持期間と呼ぶ）に遷移するが、このとき、前記ノードｎ１の信号がハイレベルであれば、前記ＮＡＮＤ回路ＮＡＮＤ１により前記ＮＭＯＳトランジスタＭＮ１はカットオフされるため、前記入力信号Ｄの値に影響されることなく、前記インバータ回路ＩＮＶ３、ＩＮＶ４により前記ノードｎ１の信号はハイレベルを保持する。一方、前記ノードｎ１の信号がローレベルで保持期間に入った場合には、前記ＰＭＯＳトランジスタＭＰ１がカットオフされているため、前記入力信号Ｄの値に関係なく、前記インバータ回路ＩＮＶ３、ＩＮＶ４により前記ノードｎ１の信号はローレベルを保持する。

【００１１】

【特許文献１】

米国特許第５９１７３５５号明細書（コラム３～７及び第４図）

【００１２】

【発明が解決しようとする課題】

しかしながら、本発明者等が検討したところ、前記従来のフリップフロップ回路では、次の欠点があることが判った。すなわち、図１０に示した従来回路では、クロック信号ＣＫがローレベルからハイレベルへ遷移して評価期間に入った際において、入力信号Ｄがハイレベルの場合には、ノードｎ１をハイレベルからローレベルへ確実に遷移させるために、ＮＭＯＳトランジスタＭＮ２、ＭＮ３のオンに加えて、ＮＭＯＳトランジスタＭＮ１をも一定期間オン状態を保持しておく必要がある。このためには、前記クロック信号ＣＫをノードＣＫＤに伝播する経路にインバータ回路ＩＮＶ１、ＩＮＶ２により構成される遅延回路を配置する必要があり、この両インバータＩＮＶ１、ＩＮＶ２の分、構成するＭＯＳトランジスタ数が多く、レイアウト面積が大きくなるという問題があった。図１０の回路構成の場合、２５個のＭＯＳトランジスタから構成される。

【００１３】

また、上述のように入力信号Ｄがハイレベルの場合にクロック信号ＣＫがローレベルからハイレベルへ遷移するときには、ノードｎ１の信号はハイレベルからローレベルへ遷移するが、この後に、クロック信号ＣＫがハイレベルからローレベルへ遷移して初期状態に戻る過程では、ＰＭＯＳトランジスタＭＰ１がオンし、ＮＭＯＳトランジスタＭＮ３がオフするので、ノードｎ１の信号はハイレベルに固定され、このハイレベルへの固定はＮＭＯＳトランジスタＭＮ１の動作とは無関係である。しかし、ＮＡＮＤ回路ＮＡＮＤ１の出力は、当初ハイレベルから一端ローレベルへ遷移し、その後、インバータ回路ＩＮＶ１、ＩＮＶ２よりなる遅延回路の遅延時間の経過後再びハイレベルへ遷移し、ＮＭＯＳトランジスタＭＮ１を不要にオフさせる。このように、図１０の従来回路においては、無駄に電力を消費する回路動作が含まれていた。

【００１４】

本発明は前記従来の問題を解決するものであり、その目的は、構成するＭＯＳトランジスタ数が少なく、しかも、消費電力が少ないフリップフロップ回路を提

供すること、及び構成トランジスタ数が従来と同数でも動作速度が速いフリップフロップ回路を提供することにある。

【００１５】

【課題を解決するための手段】

前記の問題点を解決するために、本発明では、専用のインバータ回路ＩＮＶ１、ＩＮＶ２よりなる遅延回路を設けることなしに、ＳＤＦＦのフリップフロップ回路を構成すると共に、初期状態に戻った際の不要な回路動作をなくすことにより、構成するＭＯＳトランジスタの数をできる限り少なく、しかも、無駄な電力を消費しないようにする。

【００１６】

すなわち、請求項１記載の発明のフリップフロップ回路は、入力端子と、クロック端子と、出力端子と、前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、前記入力部の出力をラッチするラッチ回路と、第１のノードを有し、前記入力部の動作を制御する制御部と、前記出力端子から信号を出力する出力部とを備え、前記入力部は、前記制御部の第１のノードのレベルを制御信号として受けると共に、第２のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第２のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がハイレベルのとき前記第２のノードに前記入力端子の入力信号に依存した論理の信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がローレベルのとき前記第２のノードをハイインピーダンスとするものであり、前記ラッチ回路は、前記入力部の第２のノードの信号を受けると共に、第３のノードを有し、前記入力部の第２のノードの信号を論理反転した信号を前記第３のノードに出力するものであり、前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第３のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第１のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第１のノードに前記ラッチ回路の前記第３のノードの信号と同じレベルの信号

を所定遅延値だけ遅延させて出力するものであり、前記出力部は、前記制御部の前記第１のノードの信号及び前記ラッチ回路の前記第３のノードの信号を受け、前記制御部の前記第１のノードの信号がハイレベルであり且つ前記ラッチ回路の前記第３のノードの信号がローレベルのとき前記出力端子の信号を保持し、前記制御部の前記第１のノードの信号がハイレベルであり且つ前記ラッチ回路の前記第３のノードの信号がハイレベルのとき前記出力端子にハイレベルの信号を出力し、前記制御部の前記第１のノードの信号がローレベルであり且つ前記ラッチ回路の前記第３のノードの信号がローレベルのとき前記出力端子にローレベルの信号を出力することを特徴とする。

【００１７】

前記により、請求項１記載の発明のフリップフロップ回路では、入力部の第２のノード（出力ノード）に接続されたラッチ回路を利用し、このラッチ回路の第３のノード（出力ノード）を制御部の入力として使用することにより、従来技術の図１０において２個のインバータ回路ＩＮＶ１、ＩＮＶ２及びＮＡＮＤ回路ＮＡＮＤ１により構成される部分が簡素化されるので、ＭＯＳトランジスタ数が削減されて、レイアウト面積が縮小されることになる。その結果、消費電力を削減することができる。

【００１８】

そして、それに加えて、前記制御部は、前記クロック端子のクロック信号及び前記ラッチ回路の前記第３のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第１のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき、入力信号がハイレベルであれば、前記ラッチ回路の前記第３のノードのハイレベルの信号と同じハイレベルの信号を、前記第１のノードに出力する。従って、入力信号がハイレベルの場合には、クロック信号のローレベルからハイレベルへの変化及びその逆の変化に関わらず、第１のノードのレベルをハイレベルに固定できて、制御信号のレベルを不要に変動させることがなく、無駄な消費電力を削減することができる。

【００１９】

また、請求項２記載の発明のフリップフロップ回路は、入力端子と、クロック

端子と、出力端子と、前記入力端子に入力される信号及び前記クロック端子のクロック信号が入力される入力部と、前記入力部の出力をラッチするラッチ回路と、第１のノードを有し、前記入力部の動作を制御する制御部と、前記出力端子から信号を出力する出力部とを備え、前記入力部は、前記制御部の第１のノードのレベルを制御信号として受けると共に、第２のノードを有し、前記クロック端子のクロック信号がローレベルのとき前記入力端子の入力信号の値に関わらず前記第２のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がハイレベルのとき前記第２のノードに前記入力端子の入力信号に依存した論理の信号を出力し、前記クロック端子のクロック信号がハイレベルであり且つ前記制御部の第１のノードからの制御信号がローレベルのとき前記第２のノードをハイインピーダンスとするものであり、前記ラッチ回路は、前記入力部の第２のノードの信号を受けると共に、第３のノードを有し、前記入力部の第２のノードの信号を論理反転した信号を前記第３のノードに出力するものであり、前記制御部は、前記クロック端子のクロック信号及び前記ラッチの前記第３のノードの信号を受け、前記クロック端子のクロック信号がローレベルのとき前記第１のノードにハイレベルの信号を出力し、前記クロック端子のクロック信号がハイレベルのとき前記第１のノードに前記ラッチ回路の前記第３のノードの信号と同じレベルの信号を所定遅延値だけ遅延させて出力するものであり、前記出力部は、前記クロック端子にローレベルの信号が加わるとき、前記出力端子の信号を保持し、前記クロック端子にハイレベルの信号が加わるとき、前記第２のノードの信号を反転した信号を前記出力端子に出力することを特徴とする。

【００２０】

以上により、請求項２記載の発明では、出力部に入力される２つの信号を請求項１記載の発明とは異ならせて、出力部の回路構成を変更しながらも、出力部の回路機能をそのまま維持したので、出力部のみ別のバリエーションを用いながら、請求項１記載の発明と同様に、制御部の簡素化による消費電力の削減効果が得られる。

【００２１】

また、請求項３記載の発明は、前記請求項１又は２記載のフリップフロップ回路において、前記制御部は、前記入力部に出力する制御信号を遅延させるための遅延回路を備えることを特徴とする。

【００２２】

この請求項３記載の発明では、制御部の第１のノードから入力部への制御信号の伝播経路に遅延回路が挿入されるので、この遅延回路により、制御部の出力信号を入力部へ伝達する際の適切な遅延時間が得られ、簡易に回路動作の安定化を図ることができる。

【００２３】

更に、請求項４記載の発明は、前記請求項１、２又は３記載の発明のフリップフロップ回路において、前記制御部は、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルへ遷移するとき、制御部の第１のノードの信号がローレベルへ遷移する速度を速くする遷移速度促進手段を備えることを特徴とする。

【００２４】

請求項４記載の発明では、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルへ遷移するとき、すなわち、制御部における第１のノードが速やかにローレベルへ遷移すべき場合において、請求項１、２又は３記載の発明におけるフリップフロップ回路の機能を維持しつつ、そのローレベルへの遷移が遷移速度促進手段により促進されるので、フリップフロップ回路の動作をより高速化すると共に、消費電力を削減することをもできる。

【００２５】

加えて、請求項５記載の発明は、前記請求項１、２、３又は４記載のフリップフロップ回路において、前記ラッチ回路は、前記制御部の第１のノードの信号がハイレベルであり且つ前記ラッチ回路の第３のノードの信号がローレベルであるときに前記入力部の第２のノードへの電流供給経路を遮断して、同第２のノードをハイインピーダンスとする第１の遮断手段を備えることを特徴とする。

【００２６】

この請求項５記載の発明では、前記第１のノードの信号がハイレベルであり且

つ前記第３のノードの信号がローレベルであるときに、ラッチ回路が前記第２のノードの変化を妨げる動作を防止できるので、前記第２のノードをハイレベルからローレベルに遷移させる時間をより短くでき、フリップフロップ回路をより高速化できる。

【００２７】

また、請求項６記載の発明は、前記請求項１、２、３、４又は５記載のフリップフロップ回路において、前記出力部は、前記ラッチ回路の第２のノードの信号がローレベルの場合に、前記制御部の第１のノードに一時的に現れるローレベルの信号が前記出力端子に伝播するのを遮断する第２の遮断手段を備えることを特徴とする。

【００２８】

この請求項６記載の発明では、前記請求項１記載のフリップフロップ回路において、前記入力端子にハイレベルが加わり且つ前記クロック端子の信号がローレベルからハイレベルに遷移するときに、前記第１のノードの電位が一時的に下がって再びハイレベルに戻るグリッチが生成される場合でも、出力端子にグリッチが出力されることが第２の遮断手段により防止される。

【００２９】

更に、請求項７記載の発明は、前記請求項１、２、３、４、５又は６記載のフリップフロップ回路において、前記出力部は、ゲート端子を前記第２のノードに接続し、ソースを電源に接続し、ドレインを前記出力端子に接続するＰＭＯＳトランジスタを備えることを特徴とする。

【００３０】

これにより、請求項７記載の発明では、前記第２のノードがハイレベルからローレベルに遷移するとき、前記出力端子を高速にハイレベルに遷移させることができるので、内部で生じたグリッチが出力信号に伝播することを防ぐことができ、また、フリップフロップ回路をより高速化することができる。

【００３１】

【発明の実施の形態】

以下、本発明の実施の形態のフリップフロップ回路を図面に基づいて説明する

。

【００３２】

（第１の実施の形態）

図１は本発明の第１の実施の形態におけるフリップフロップ回路の回路図を示す。同図において、Ｄは入力端子、ＣＫはクロック端子、Ｑは出力端子、１はダイナミック型の入力部、２はラッチ回路、３は制御部、４はスタティック型の出力部である。

【００３３】

前記制御部３は第１のノードｎ１を有し、この第１のノードｎ１の信号を制御信号として前記入力部１の動作を制御する。前記入力部１は、前記クロック端子ＣＫのクロック信号（以下、単にクロック信号ＣＫという）と前記入力端子Ｄの入力信号（以下、単に入力信号Ｄという）とを入力すると共に、第２のノードｎ２を有し、この第２のノードｎ２に信号を出力する。前記ラッチ回路２は前記入力部１の第２のノードｎ２からの出力信号を入力すると共に第３のノードｎ３を有し、前記入力部１からの出力信号をラッチして、前記第３のノードｎ３にラッチ信号を出力する。前記出力部４は、前記ラッチ回路２の出力信号及び前記制御部３の出力信号を入力して、前記出力端子Ｑに信号を出力する。

【００３４】

具体的に、前記入力部は、ＰＭＯＳトランジスタＭＰ１と３個のＮＭＯＳトランジスタＭＮ１、ＭＮ２、ＭＮ３とを備え、前記ＰＭＯＳトランジスタＭＰ１と３個の前記ＮＭＯＳトランジスタＭＮ１、ＭＮ２、ＭＮ３とが直列に接続され、さらに前記ＰＭＯＳトランジスタＭＰ１のソースは電源に、前記ＮＭＯＳトランジスタＭＮ３のソースはアースに接続される。また前記ＰＭＯＳトランジスタＭＰ１のドレインと前記ＮＭＯＳトランジスタＭＮ１のドレインとの接続点が第２のノードｎ２である。この回路構成において、前記入力部１は、前記クロック信号ＣＫがローレベルのとき、前記ＰＭＯＳトランジスタＭＰ１がオンし、前記ＮＭＯＳトランジスタＭＮ１がオフするので、前記入力信号Ｄの値に関わらず前記第２のノードｎ２にハイレベルの信号を出力する。また、前記クロック信号ＣＫがハイレベルであり且つ前記制御部３の第１のノードｎ１の信号レベル（制御信

号）がハイレベルの場合にはＮＭＯＳトランジスタＭＮ１、ＭＮ３がオンするので、入力信号Ｄがハイレベルのときには第２のノードｎ２の信号をローレベルにし、逆に、入力信号Ｄがローレベルのときには、第２のノードｎ２の信号をハイレベルにする。即ち、この場合には、前記第２のノードｎ２に前記入力信号Ｄに依存してこの入力信号Ｄを論理反転させた値の信号を出力する。さらに、前記クロック信号ＣＫがハイレベルであり且つ前記ノードｎ１の信号がローレベルのときには、ＰＭＯＳトランジスタＭＰ１及びＮＭＯＳトランジスタＭＮ３が共にオフするので、前記第２のノードｎ２をハイインピーダンス状態にする。

【００３５】

前記ラッチ回路２は、２個のインバータ回路ＩＮＶ１、ＩＮＶ２を備え、前記インバータ回路ＩＮＶ１の出力端子を前記インバータ回路ＩＮＶ２の入力端子に接続し、前記インバータ回路ＩＮＶ２の出力端子を前記インバータ回路ＩＮＶ１の入力端子に接続する。このラッチ回路２における前記インバータ回路ＩＮＶ１の入力端子に、前記入力部１の出力である前記第２のノードｎ２を接続し、また、前記インバータ回路ＩＮＶ１の出力端子を前記第３のノードｎ３とする。この回路構成において、前記インバータ回路ＩＮＶ１は前記入力部１の第２のノードｎ２の信号を論理反転して前記第３のノードｎ３に出力する。

【００３６】

前記制御部３は、２個のＰＭＯＳトランジスタＭＰ２、ＭＰ３と、ＮＭＯＳトランジスタＭＮ４とを備え、前記ＰＭＯＳトランジスタＭＰ２と前記ＮＭＯＳトランジスタＭＮ４とが直列に接続され且つ前記ＰＭＯＳトランジスタＭＰ２のソースは電源に、前記ＮＭＯＳトランジスタＭＮ４のソースは前記第３のノードｎ３に接続される。さらに、前記ＰＭＯＳトランジスタＭＰ２のゲートと前記ＮＭＯＳトランジスタＭＮ４のゲートとを接続し、その接続点は前記クロック端子ＣＫに接続される。この制御部３の出力端子である前記ＰＭＯＳトランジスタＭＰ２のドレインと前記ＮＭＯＳトランジスタＭＮ４のドレインとの接続点は前記第１のノードｎ１と接続されていて、この第１のノードｎ１の信号が制御信号として前記入力部１のＮＭＯＳトランジスタＭＮ３のゲートへ入力される。また、前記ＰＭＯＳトランジスタＭＰ３のソースは電源に、ドレインは前記第１のノード

ｎ１に接続される。

【００３７】

このような回路構成の制御部３において、前記クロック信号ＣＫがローレベルのときには、ＰＭＯＳトランジスタＭＰ２がオンし、ＮＭＯＳトランジスタＭＮ４がオフするので、前記第１のノードｎ１にハイレベルの信号を出力する。また、前記クロック信号ＣＫがハイレベルのときには、ＰＭＯＳトランジスタＭＰ２がオフし、ＮＭＯＳトランジスタＭＮ４がオンするので、前記ラッチ回路２の第３のノードｎ３の信号が前記ＮＭＯＳトランジスタＭＮ４を介して第１のノードｎ１に伝播されて、この第１のノードｎ１に前記ラッチ回路２の第３のノードｎ３と同じレベルの信号が出力される。このとき、前記ラッチ回路２の第３のノードｎ３の信号は前記ＮＭＯＳトランジスタＭＮ４が前記第１のノードｎ１の電荷を充放電する時間分遅延して前記第１のノードｎ１に伝えられる。前記ＰＭＯＳトランジスタＭＰ３は、後述するように、前記ラッチ回路２の第３のノードｎ３にハイレベルの信号が加わるとき、前記第１のノードｎ１の信号をハイレベルに保持するためと、前記ラッチ回路２の第３のノードｎ３のローレベルの信号が前記第１のノードｎ１に伝わるのを遅延させるために備えられる。

【００３８】

前記出力部４は、ＮＡＮＤ回路ＮＡＮＤ１と、２個のインバータ回路ＩＮＶ３、ＩＮＶ４と、ＮＭＯＳトランジスタＭＮ５とを備え、前記ＮＡＮＤ回路ＮＡＮＤ１の２つの入力端子のうち、一方の入力端子に前記制御部３の第１のノードｎ１が接続され、他方の入力端子には前記インバータ回路ＩＮＶ３の出力端子が接続される。また、前記ＮＡＮＤ回路ＮＡＮＤ１の出力端子は前記インバータ回路ＩＮＶ３の入力端子に接続され、この接続点を第４のノードｎ４とする。この第４のノードｎ４は前記制御部３のＰＭＯＳトランジスタＭＰ３のゲートと、前記インバータ回路ＩＮＶ４の入力端子と、前記ＮＭＯＳトランジスタＭＮ５のドレインとにそれぞれ接続される。また、前記ＮＭＯＳトランジスタＭＮ５は、そのソースがアースに接続され、ゲートが前記ラッチ回路２の第３のノードｎ３に接続される。このような回路構成の出力部４において、前記ラッチ回路２の第３のノードｎ３の信号がローレベルであり且つ前記制御部３の第１のノードｎ１の信

号がハイレベルのときには、前記ＮＭＯＳトランジスタＭＮ５はオフ状態であるので、ＮＡＮＤ回路ＮＡＮＤ１及びインバータ回路ＩＮＶ３により、出力端子Ｑの出力（以下、単に出力信号Ｑという）の値を保持する。また、前記ラッチ回路２の第３のノードｎ３の信号がハイレベルであり且つ前記制御部３の第１のノードｎ１の信号がハイレベルのときには、前記ＮＭＯＳトランジスタＭＮ５はオン状態であるので、第４のノードｎ４の信号がローレベルとなり、前記出力端子Ｑにハイレベルの信号を出力する。前記ラッチ回路２の第３のノードｎ３の信号がローレベルであり且つ前記制御部３の第１のノードｎ１の信号がローレベルのときには、前記ＮＭＯＳトランジスタＭＮ５がオフ状態であり且つ前記ＮＡＮＤ回路ＮＡＮＤ１に制御部３の第１のノードｎ１のローレベル信号が入力されるので、第４のノードｎ４にはハイレベルの信号が出力され、前記出力端子Ｑにローレベルの信号を出力する。

【００３９】

図２は、図１のフリップフロップ回路の動作を示すタイムチャートである。以下、図２を用いて図１のフリップフロップ回路の動作を説明する。

図１において、クロック信号ＣＫがローレベルの期間（図２のｔ１，ｔ４，ｔ７の期間）には、ＰＭＯＳトランジスタＭＰ１，ＭＰ２によりそれぞれ入力部１の第２のノードｎ２及び制御部３の第１のノード ｎ１の信号は共にハイレベルに設定される。このとき、前記第３のノードｎ３は前記第２のノードｎ２の信号が論理反転されたローレベルの状態であり、そのため、前記出力部４のＮＭＯＳトランジスタＭＮ５はオフしており、前記ＮＡＮＤ回路ＮＡＮＤ１と前記インバータ回路ＩＮＶ３とにより前記出力信号Ｑの値が保持されている。

【００４０】

次に、クロック信号ＣＫがローレベルからハイレベルに遷移するとき、前記入力信号Ｄがハイレベルであれば（図２のｔ２の期間）、前記ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ３の全てがオン状態となるので、前記入力部１の第２のノードｎ２の電荷は放電されてローレベルになる。このとき前記第３のノードｎ３の信号は前記第２のノードｎ２の信号がローレベルに遷移するのに伴いハイレベルに遷移する。これにより、前記出力部４のＮＭＯＳトランジスタＭＮ５がオ

ンになって出力部４の第４のノードｎ４の信号がローレベルに遷移して、前記第４のノードｎ４の信号がインバータ回路ＩＮＶ４により論理反転されて、出力信号Ｑがハイレベルに遷移する。また、前記クロック信号ＣＫがローレベルからハイレベルへ遷移するのに伴い制御部３のＮＭＯＳトランジスタＭＮ４がオンになるので、当初、第１のノードｎ１の信号はハイレベルから第３のノードｎ３のローレベルに遷移しようとするが、後に前記ノードｎ３の信号がハイレベルに遷移するとローレベルへの遷移が止まる（このとき生成される波形をグリッチと呼ぶ）。この第１のノードｎ１に生じるグリッチを図２の符号ｇで示す。このとき、前記第１のノードｎ１の電位はハイレベルの電位より前記ＮＭＯＳトランジスタＭＮ４の閾値電圧分降下するが、前記第４のノードｎ４の信号がローレベルに遷移すると、前記ＰＭＯＳトランジスタＭＰ３がオンとなって、ハイレベルの電位まで引き上げられる。

【００４１】

次に、前記第２のノードｎ２の信号がローレベルに遷移し且つ前記クロック信号ＣＫがハイレベルのとき（図２のｔ３の期間）において、前記入力信号Ｄがハイレベルからローレベルに変化したとしても、前記ラッチ回路２によりラッチ回路２の前後のノードｎ２，ｎ３の信号は保持される。これにより、前記ラッチ回路２の出力ノード（第３のノードｎ３）がハイレベルへ遷移して、一定の遅延時間を経て出力信号Ｑの信号レベルがハイレベルに遷移した後は、前記入力信号Ｄの変化に関わらず、出力信号Ｑのレベルは保持される。

【００４２】

一方、クロック信号ＣＫがローレベルからハイレベルに遷移するときにおいて、入力信号Ｄがローレベルのとき（図２のｔ５の期間）には、入力部１のＮＭＯＳトランジスタＭＮ２はオフとなるので、第２のノードｎ２の信号はハイレベルのまま保持される。そのため、ラッチ回路２の第３のノードｎ３の信号もローレベルに保持される。これにより、制御部３の第１のノードｎ１は、オン状態のＮＭＯＳトランジスタＭＮ４を介してこの第３のノードｎ３に放電されて、ハイレベルからローレベルに遷移する。このとき、出力部４では、前記制御部３の第１のノードｎ１のローレベル信号がＮＡＮＤ回路ＮＡＮＤ１に入力されて、第４の

ノードｎ４の信号がハイレベルとなり、出力信号Ｑがローレベルとなる。

【００４３】

このように、制御部３の第１のノードｎ１の信号がローレベルに遷移し且つクロック信号ＣＫがハイレベルの状態である図２のｔ６の期間において、入力信号Ｄがローレベルからハイレベルに変化したとしても、入力部１のＮＭＯＳトランジスタＭＮ３は前記制御部３の第１のノードｎ１のローレベルの制御信号によりオフとなっているので、ラッチ回路２の第２のノードｎ２は放電されず、ハイレベルに保持される。従って、出力部４への入力信号（制御部３の第１のノードｎ１の信号）のレベル及びラッチ回路２の第３のノードｎ３の信号のレベルは変化せず、出力端子Ｑにおけるローレベルの出力は、前記入力信号Ｄの変化に関わらず、そのまま保持される。

【００４４】

本実施の形態において注意すべき点は、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ入力信号Ｄがハイレベルのときにおいて、第２のノードｎ２が完全にローレベルに遷移する前に第１のノードｎ１の信号がハイレベルからローレベルに変化してしまうと、第２のノードｎ２の信号がローレベルに変化できず、又は変化速度が遅くなってしまうことである。また、第１のノードｎ１の信号がハイレベルからローレベルに変化するのが遅すぎると、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ前記入力信号Ｄがローレベルのときに、クロック信号ＣＫの遷移から出力信号Ｑの遷移までの遅延時間が大きくなってしまう。従って、第３のノードｎ３から第１のノードｎ１への遅延時間が最適になるように、制御部３のＮＭＯＳトランジスタＭＮ４の電流駆動能力が適切に調整される。また、第１のノードｎ１で生じたグリッチ波形ｇが出力部４のＮＡＮＤ回路ＮＡＮＤ１の論理閾値よりも低い電圧にまで低下すると、第４のノードｎ４、及び出力端子Ｑにもグリッチが生成され、消費電力が大きくなってしまう。従って、第１のノードｎ１で生じるグリッチ波形ｇの最低電位が前記ＮＡＮＤ回路ＮＡＮＤ１の論理閾値よりも低下しないように、制御部３のＰＭＯＳトランジスタＭＰ３、及びＮＭＯＳトランジスタＭＮ４などのサイズが適切に調整される。即ち、本実施の形態では、前記ＰＭＯＳトランジスタＭＰ３のサイズをより大

きく、ＮＭＯＳトランジスタＭＮ４のサイズをより小さくすることにより、グリッチ波形ｇの振幅を小さくする。

【００４５】

ここで、図１０に示した従来回路と本実施の形態との比較をすると、この従来回路では、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ入力信号Ｄがハイレベルのとき、ＰＭＯＳトランジスタＭＰ１がオフし、３個のＮＭＯＳトランジスタＭＮ１、ＭＮ２、ＭＮ３が全てオンすることにより、第１のノードｎ１の信号がローレベルへ遷移し、その後インバータ回路ＩＮＶ１、ＩＮＶ２の構成する遅延回路によりノードＣＫＤのレベルがローレベルからハイレベルへ変化していた。このとき、前記ノードｎ１の信号をローレベルへ確実に遷移させるために、ＮＭＯＳトランジスタＭＮ２、ＭＮ３のオンに加えて、ＮＭＯＳトランジスタＭＮ１をもオン状態に保っておく必要があり、このためには、前記クロック信号ＣＫをノードＣＫＤに伝播する経路にインバータ回路ＩＮＶ１、ＩＮＶ２により構成される遅延回路を配置する必要があった。

【００４６】

本実施の形態の図１の回路においては、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ入力信号Ｄがハイレベルのとき、ＰＭＯＳトランジスタＭＰ１がオフし、３個のＮＭＯＳトランジスタＭＮ１、ＭＮ２、ＭＮ３が全てオンする。これにより、図１０のノードｎ１に相当する図１の第２のノードｎ２の信号がローレベルへ遷移する過程は従来と同様である。しかし、ここで図１０のＮＡＮＤ回路ＮＡＮＤ１の出力ノードに相当する図１の第１のノードｎ１の信号のレベルは、このときオン状態のＮＭＯＳトランジスタＭＮ４を介して第３のノードｎ３のハイレベルの信号を受け、ハイレベルに保たれる。

【００４７】

この結果、従来の図１０におけるインバータ回路ＩＮＶ１、ＩＮＶ２を用いることなく、図１０のＮＭＯＳトランジスタＭＮ１に相当する図１のＮＭＯＳトランジスタＭＮ３をオン状態に保つことができる。

【００４８】

以上述べたように、本実施の形態では、図１０の従来回路に比べて５個少ない

２０個のＭＯＳトランジスタでフリップフロップ回路を構成できる。しかも、少ないＭＯＳトランジスタで構成するので、その分、動作するトランジスタの個数が減ると共に寄生容量が減って、消費電力を少なくすることができる。

【００４９】

また、前記入力部１の第２のノードｎ２に接続される負荷はラッチ回路２のみであるので、前記第２のノードｎ２に相当する図１０の従来回路における第１のノードｎ１には、ＰＭＯＳトランジスタＭＰ２、ＮＭＯＳトランジスタＭＮ５、ラッチ回路を構成する前記インバータ回路ＩＮＶ３、ＩＮＶ４及びＮＡＮＤ回路ＮＡＮＤ１等が接続されている状態に比べて負荷を小さくできて、前記入力部１の動作を高速化でき、その結果、フリップフロップ回路の動作速度を向上することができる。

【００５０】

（第２の実施の形態）

以下、本発明の第２の実施の形態のフリップフロップ回路について図３を参照しながら説明する。尚、以下の実施の形態において、前記第１の実施の形態と同様の機能を有する構成要素については同一の符号を付して、その説明を省略する。

【００５１】

図３に示したフリップフロップ回路は前記第１の実施の形態で説明した図１の回路とほぼ同じ構成であるが、制御部３に遅延回路１０を追加した点で異なる。すなわち、第１のノードｎ１から入力部１のＮＭＯＳトランジスタＭＮ３のゲートに加える制御信号を遅延させるために、第１のノードｎ１の制御信号を２個のインバータ回路ＩＮＶ５、ＩＮＶ６を直列に接続した遅延回路１０を介して入力部１のＮＭＯＳトランジスタＭＮ３のゲートに与えたものである。ここで、前記インバータ回路ＩＮＶ６の出力端子と入力部１のＮＭＯＳトランジスタＭＮ３のゲートとの接続点を第５のノードｎ５とする。

【００５２】

これにより、本実施の形態では、ラッチ回路２の第３のノードｎ３の電位変化から制御部３の第１のノードｎ１の電位変化までの遅延時間が短い場合において

、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ入力信号Ｄがハイレベルの状態では、前記入力部１の第２のノードｎ２の電位がローレベルに変化する前に制御部３の第１のノードｎ１の信号がハイレベルからローレベルに変化してしまっても、制御部３の第５のノードｎ５の信号が所定時間ハイレベルを保持するので、入力部１の第２のノードｎ２の信号がローレベルに確実に変化できるようになる。また、前記クロック信号ＣＫがローレベルからハイレベルに遷移し且つ前記入力信号Ｄがローレベルのときに、前記クロック信号ＣＫの遷移から前記出力信号Ｑが遷移するまでの遅延時間が大きくなってしまうことを防ぐことができる。

【００５３】

前記インバータ回路ＩＮＶ５，ＩＮＶ６は制御部３の第１のノードｎ１の信号レベルが変化する時のみ動作する。すなわち、クロック信号ＣＫがローレベルのとき、または、入力信号Ｄにローレベルの信号が加わっている場合において、クロック信号ＣＫがローレベルからハイレベルへ遷移したとき、及び、その状態から更に、クロック信号がハイレベルからローレベルに遷移した場合にのみ動作するので、図１０の従来回路のようにクロック信号が変化する毎に必ずインバータ回路ＩＮＶ１、ＩＮＶ２が動作するのに比べて消費電力を少なくすることができる。

【００５４】

以上述べたように、本実施の形態では、図１０の従来回路に比べて１個少ない２４個のＭＯＳトランジスタでフリップフロップ回路を構成できると共に、図１０の従来回路に比べて、消費電力を低減することができる。

【００５５】

（第３の実施の形態）

以下、本発明の第３の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【００５６】

図４は本実施の形態におけるフリップフロップ回路の回路図である。基本的な構成は図３に示すフリップフロップ回路と同じである。本実施の形態では、前記

図３に示した第２の実施の形態のＰＭＯＳトランジスタＭＰ３の配置位置を変更したものである。すなわち、図３ではゲートを第４のノードｎ４に接続し、電源と第１のノードｎ１との間に接続していたＰＭＯＳトランジスタＭＰ３を、本実施の形態では、ゲートを入力部１の第２のノードｎ２に接続し、ＮＭＯＳトランジスタＭＮ４と並列接続したトランスミッションゲートとして用いている。

【００５７】

本実施の形態における図４のフリップフロップ回路は、図３におけるフリップフロップ回路の機能は維持しつつ、入力信号Ｄがローレベルであり且つクロック信号ＣＫがローレベルからハイレベルへ遷移するとき、すなわち、ハイレベルである第１のノードｎ１の電位が第３のノードｎ３のローレベル電位へ速やかに遷移しなければならないときに、必要以上に生じていた遅延時間を削減することができる。以下、この動作について詳しく説明する。

【００５８】

図３におけるフリップフロップ回路の場合、入力信号Ｄがローレベルであり且つクロック信号ＣＫがローレベルからハイレベルへ遷移するときには、ラッチ回路２の第３のノードｎ３の電位はローレベルにあって、ＮＭＯＳトランジスタＭＮ４のオンにより制御部３の第１のノードｎ１は前記第３のノードｎ３のローレベル電位へ遷移する。ここで、第４のノードｎ４がローレベルであれば、ＰＭＯＳトランジスタＭＰ３はオン状態であり、第１のノードｎ１の電位はハイレベルに固定されている。ここで、クロック信号ＣＫがハイレベルに遷移するのに伴い、ＰＭＯＳトランジスタＭＰ３よりも電流駆動能力の大きいＮＭＯＳトランジスタＭＮ４がオンすることにより、第１のノードｎ１の放電が始まる。続いて、第１のノードｎ１の電位がＮＡＮＤ回路ＮＡＮＤ１の論理閾値以下になることにより、ＮＡＮＤ回路ＮＡＮＤ１とインバータ回路ＩＮＶ３により保持されていた値が論理的に逆の値に変化する。その結果、第４のノードの信号はハイレベルとなり、これにより、ＰＭＯＳトランジスタＭＰ３はオフ状態となる。このとき、電源から第１のノードｎ１への電流供給が停止し、第１のノードｎ１のローレベルへの遷移が加速する。従って、図３の回路では、第１のノードｎ１のローレベルへの遷移が、その遷移初期にＰＭＯＳトランジスタＭＰ３により第１のノードｎ

１へ電流供給がされてしまうという欠点を有し、遅延を生じさせる。

【００５９】

これに比べ、図４の本実施の形態におけるフリップフロップ回路の場合は、ＰＭＯＳトランジスタＭＰ３が電源に接続されていない。従って、入力信号Ｄがローレベルであり且つクロック信号ＣＫがローレベルからハイレベルに遷移する際、ＰＭＯＳトランジスタＭＰ２は第２の実施の形態における図３のフリップフロップ回路と同じオフ状態であるため、電源からＰＭＯＳトランジスタＭＰ２を介した第１のノードへの電流供給はない。また、ＰＭＯＳトランジスタＭＰ３は、その両端がＮＭＯＳトランジスタＭＮ４に並列接続されたトランスミッションゲート構造であるので、電源からこのＰＭＯＳトランジスタＭＰ３を介して第１のノードｎ１に電流供給がされることはなく、第１のノードｎ１の前記ローレベルへの遷移に影響を与えることはない。これにより、図３の回路に比較して、高速にローレベルへの遷移が可能となる。すなわち、このＰＭＯＳトランジスタＭＰ３は、入力信号がローレベルであり且つクロック信号がローレベルからハイレベルに遷移する際に、電源から第１のノードｎ１への電流供給を阻止し、結果として、第１のノードｎ１の信号のローレベルへの遷移を促進させる遷移速度促進手段１１として機能する。

【００６０】

以上述べたとおり、本実施の形態では、図１０の従来回路に比べ１個少ない２４個のＭＯＳトランジスタによりフリップフロップ回路を構成でき、さらに、ＰＭＯＳトランジスタＭＰ３からの無駄な電源供給がないので、従来回路に比べて消費電力を小さくすることができる。また、前記ＰＭＯＳトランジスタＭＰ３からの電源供給がない分、第１のノードｎ１のローレベルへの遷移が速くなるので、図３に示す第２の実施の形態のフリップフロップ回路に比べて高速化することができる。

【００６１】

（第４の実施の形態）

以下、本発明の第４の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【００６２】

図５は本実施の形態におけるフリップフロップ回路の回路図である。図５の本実施の形態におけるフリップフロップ回路は第３の実施の形態における図４に示す回路と比べて、出力部４の構成のみが異なる。

【００６３】

図４のフリップフロップ回路では、出力部４に制御部３の第１のノードｎ１の信号とラッチ回路２の第３のノードｎ３の信号との２つの信号を入力したが、本実施の形態のフリップフロップ回路では、出力部４は、クロック信号ＣＫ及び入力部１の出力ノードである第２のノードｎ２の信号とを入力して、出力信号Ｑを出力する。具体的には、出力部４は、ＰＭＯＳトランジスタＭＰ４、２個のＮＭＯＳトランジスタＭＮ５、ＭＮ６、３個のインバータ回路ＩＮＶ４、ＩＮＶ７、ＩＮＶ８とを備える。前記ＰＭＯＳトランジスタＭＰ４と２個の前記ＮＭＯＳトランジスタＭＮ５、ＭＮ６とは直列に接続されており、そのＰＭＯＳトランジスタＭＰ４は電源に、ＮＭＯＳトランジスタＭＮ６はアースに接続される。また、前記ＮＭＯＳトランジスタＭＮ５のゲートにはクロック端子ＣＫが入力され、前記ＰＭＯＳトランジスタＭＰ４と前記ＮＭＯＳトランジスタＭＮ６の両ゲートは前記ノードｎ２に接続される。ここで、前記ＰＭＯＳトランジスタＭＰ４のドレインと前記ＮＭＯＳトランジスタＭＮ５のドレインとの接続点を第４のノードｎ４とする。前記インバータ回路ＩＮＶ７、ＩＮＶ８は、インバータ回路ＩＮＶ１、ＩＮＶ２で構成された前記ラッチ回路２と同様の構成であり、出力信号Ｑと論理的に逆の値を保持する。前記インバータ回路ＩＮＶ７の入力端子は前記第４のノードｎ４に接続され、また出力端子は前記インバータ回路ＩＮＶ４の入力端子へ接続される。

【００６４】

このような回路構成の出力部４において、前記クロック信号ＣＫがローレベルのときは、入力部１の第２のノードｎ２の信号がハイレベルとなって、前記ＰＭＯＳトランジスタＭＰ４と前記ＮＭＯＳトランジスタＭＮ５とがオフになり、前記第４のノードｎ４がハイインピーダンスとなることにより、出力信号Ｑを保持し、また、クロック信号ＣＫがハイレベルのときは、前記ＮＭＯＳトランジスタ

ＭＮ５がオン状態となることにより、ＰＭＯＳトランジスタＭＰ４とＮＭＯＳトランジスタＭＮ６とがＣＭＯＳインバータとして機能するので、前記第２のノードｎ２の信号を反転した信号を出力端子Ｑに出力する。

【００６５】

図６は図５のフリップフロップ回路の動作を示すタイムチャートである。以下、図６を用いて図５のフリップフロップ回路の動作を説明する。

【００６６】

図５において、クロック信号ＣＫがローレベルの期間（図６のｔ１，ｔ４，ｔ７の期間）には、前記ＰＭＯＳトランジスタＭＰ１，ＭＰ２によりそれぞれ前記第２のノードｎ２，第１のノードｎ１，及び第５のノードｎ５はハイレベルに充電される。このとき、前記第２のノードｎ２のレベルを反転したレベルの信号が生ずる第３のノードｎ３にはローレベルの信号が加わっている。また、ＮＭＯＳトランジスタＭＮ５およびＰＭＯＳトランジスタＭＰ４はオフされており、出力部４の第４のノードｎ４はハイインピーダンスとなるので、前記インバータ回路ＩＮＶ７，ＩＮＶ８で構成されたラッチ回路により出力信号Ｑの値は保持されている。

【００６７】

次に、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ入力信号Ｄがハイレベルのとき（図６のｔ２の期間）、前記ＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ３は全てオンとなるので、前記第２のノードｎ２はローレベルに放電される。このとき、前記第３のノードｎ３は前記第２のノードｎ２の信号がローレベルに遷移するのに伴ってハイレベルに遷移する。これにより出力部４において、前記ＰＭＯＳトランジスタＭＰ４がオンになって第４のノードｎ４の信号がハイレベルに変化して、これが前記インバータ回路ＩＮＶ７，ＩＮＶ４により順次反転されて、前記出力端子Ｑにハイレベルの信号が出力される。また、第５のノードｎ５には第１のノードｎ１の信号が遅れて伝播される。

【００６８】

前記第２のノードｎ２の信号がローレベルに遷移した後（図６のｔ３の期間）は、前記入力信号Ｄがハイレベルからローレベルに変化したとしても、前記イン

バータ回路ＩＮＶ１、ＩＮＶ２で構成されるラッチ回路２により前記第２のノードｎ２及び第３のノード　ｎ３の信号は保持される。このとき、出力部４のＰＭＯＳトランジスタＭＰ４はオン状態を保持し、第４のノードｎ４のハイレベルが保持されるので、前記出力端子Ｑの信号レベルはハイレベルに保持される。

【００６９】

前記クロック信号ＣＫがローレベルからハイレベルに遷移し且つ前記入力信号Ｄがローレベルのとき（図６のｔ５の期間）、前記ＮＭＯＳトランジスタＭＮ２はオフとなるので、入力部１の第２のノードｎ２の信号はハイレベルのまま保持され、ラッチ回路２の第３のノードｎ３の信号はローレベルに保持される。また制御部３のＮＭＯＳトランジスタＭＮ４はクロック信号ＣＫのハイレベルへの遷移によりオンする。これにより、制御部３の第１のノードｎ１の信号は、前記オンになったＮＭＯＳトランジスタＭＮ４により第３のノードに接続されて、ハイレベルから第３のノードｎ３と同じローレベルの電位に遷移する。そして、インバータ回路ＩＮＶ５，ＩＮＶ６の遅延時間分遅れて前記第５のノードｎ５の信号がローレベルに遷移して、入力部１のＮＭＯＳトランジスタＭＮ３がオフする。このとき、出力部４では、ＮＭＯＳトランジスタＭＮ５,ＭＮ６が共にオンになり、ＰＭＯＳトランジスタＭＰ４がオフになるので、第４のノードｎ４の信号はローレベルとなり、出力端子Ｑにローレベルの信号が出力される。

【００７０】

その後、クロック信号ＣＫがハイレベルの状態において、制御部３の第１のノードｎ１の信号がローレベルに遷移した後（図６のｔ６の期間）では、入力信号Ｄがローレベルからハイレベルに変化したとしても、ＮＭＯＳトランジスタＭＮ３はオフとなっているので、入力部１の第２のノードｎ２は放電されず、前記ラッチ回路２によりハイレベルに保持される。その結果、前記出力端子Ｑの信号はローレベルに保持される。

【００７１】

以上述べたとおり、本実施の形態では、出力部４の構成を図４に示した第３の実施の形態の出力部４とは異ならせながら、同一機能を発するようにしたので、第３の実施の形態と同一の効果を得ることができる。しかも、図１０の従来回路

に比べて１個少ない２４個のＭＯＳトランジスタでフリップフロップ回路を構成できる。

【００７２】

（第５の実施の形態）

続いて、本発明の第５の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【００７３】

図７は本実施の形態におけるフリップフロップ回路の回路図である。本実施の形態では、第４の実施の形態のラッチ回路２の構成を更に改良したものである。すなわち、図５に示した、第４の実施の形態との具体的な違いは、ラッチ回路２に、２個のインバータ回路ＩＮＶ１、ＩＮＶ２に加えて、ＰＭＯＳトランジスタＭＰ５を備えたことである。前記インバータ回路ＩＮＶ２は、ＰＭＯＳトランジスタＭＰ６とＮＭＯＳトランジスタＭＮ７との直列接続により構成され且つＮＭＯＳトランジスタＭＮ７のソースをアースに接続したＣＭＯＳインバータ回路により構成される。また、前記追加したＰＭＯＳトランジスタＭＰ５は前記インバータ回路ＩＮＶ２と電源との間に挿入されている。このＰＭＯＳトランジスタＭＰ５のゲートは制御部３の第５のノードｎ５に接続される。

【００７４】

本実施の形態の回路構成では、クロック信号ＣＫがローレベルからハイレベルに遷移し且つ入力信号Ｄがハイレベルのとき、前記入力部１において第２のノードｎ２を放電する時間を早めて、フリップフロップ回路の動作を速くする。以下、この動作について、図６のタイムチャートを用いて詳しく説明する。

【００７５】

図７において、前記クロック信号ＣＫがローレベルの期間（図６のｔ１，ｔ４，ｔ７の期間）では、制御部３の第５のノードｎ５は前記第２の実施の形態の説明から判るようにハイレベルに充電されているので、ＰＭＯＳトランジスタＭＰ５はオフしている。入力部１における第２のノードｎ２の電位はＰＭＯＳトランジスタＭＰ１によってハイレベルに充電されている。

【００７６】

次に、入力信号Ｄがハイレベルであり且つクロック信号ＣＫがローレベルからハイレベルに遷移するとき（図６のｔ２の期間）、３個のＮＭＯＳトランジスタＭＮ１，ＭＮ２，ＭＮ３はすべてオンとなるので入力部１の第２のノードｎ２はローレベルに放電される。ここで、本実施の形態における特徴であるＰＭＯＳトランジスタＭＰ５が無かった場合、すなわち、図５のフリップフロップ回路における場合、第３のノードｎ３のローレベルの信号によりオン状態にあるＰＭＯＳトランジスタＭＰ６から第２のノードｎ２に電流供給があり、このため、第２のノードｎ２の信号がローレベルへ遷移するのを妨げ、遷移時間を長くする。しかし、ＰＭＯＳトランジスタＭＰ５を備えた本実施の形態では、この過程において、当初は、前記ＰＭＯＳトランジスタＭＰ５はオフしており且つＮＭＯＳトランジスタＭＮ７もオフしているため、ラッチ回路２のインバータ回路ＩＮＶ２の出力はハイインピーダンスとなっている。これにより、前記インバータ回路ＩＮＶ２は前記第２のノードｎ２の信号がハイレベルからローレベルに遷移するのを妨げない。よって、このＰＭＯＳトランジスタＭＰ５は、この不要な電流供給を断つ第１の遮断手段１２を構成する。

【００７７】

従って、本実施の形態では、入力部１の第２のノードｎ２の遷移が高速になる。このときラッチ回路２が前記第２のノードｎ２の電位を保つ働きには影響がなく図１、図３、図４、図５と同様の機能を果たす。そして、次の過程において、前記第２のノードｎ２の信号がローレベルへ、前記第３のノードｎ３の信号がハイレベルへと順に遷移した後は、前記インバータ回路ＩＮＶ２を構成するＮＭＯＳトランジスタＭＮ７がオンになり、前記第２のノードｎ２の電位をローレベルに保持する。

【００７８】

クロック信号ＣＫがローレベルからハイレベルに遷移するとき、入力信号Ｄがローレベルの場合には、（図６のｔ５の期間）、前記ＮＭＯＳトランジスタＭＮ２はオフとなるので、前記第２のノードｎ２の信号はハイレベルのまま保たれる。したがって、前記第３のノードｎ３の信号もローレベルに保たれる。これにより、前記第１のノードｎ１の信号は、既述したとおり、オンになった制御部３の

ＮＭＯＳトランジスタＭＮ４を介してハイレベルからローレベルに遷移する。そして、インバータ回路ＩＮＶ５，ＩＮＶ６の遅延時間分遅れて第５のノードｎ５の信号がローレベルに遷移する。このとき、ＰＭＯＳトランジスタＭＰ５，ＭＰ６は共にオンとなり、前記ノードｎ２の電位はハイレベルに保たれる。

【００７９】

以上述べたとおり、本実施の形態によれば、図１０の従来回路に比べ同数の２５個のＭＯＳトランジスタでフリップフロップ回路が構成され、従来回路に比べて動作時間を短くできる効果がある。

【００８０】

尚、本実施の形態は、図５に示したフリップフロップ回路に対して改良した例を示したが、図１、図３又は図４に示した第１、第２又は第３の実施の形態に対して改良しても良い。

【００８１】

（第６の実施の形態）

次に、本発明の第６の実施の形態のフリップフロップ回路について図面を参照しながら説明する。

【００８２】

図８は本実施の形態におけるフリップフロップ回路の回路図である。本発明の形態のフリップフロップ回路と図４に示した第３の実施の形態との違いは、図４における出力部４を改良した点である。

【００８３】

具体的には、図８の本実施の形態では、インバータ回路ＩＮＶ４をＰＭＯＳトランジスタＭＰ４とＮＭＯＳトランジスタＭＮ７とで構成されたＣＭＯＳインバータ回路とし、そのインバータ回路ＩＮＶ４とアースとの間にＮＭＯＳトランジスタＭＮ６を配置している。そして、ＮＭＯＳトランジスタＭＮ６のゲートを入力部１の第２のノードｎ２に接続している。

【００８４】

本実施の形態では、入力信号Ｄがハイレベルであり且つ前記クロック信号ＣＫがローレベルからハイレベルに遷移する場合において、前記第１のノードｎ１が

当初ハイレベルから一時的にローレベルに下がった後、再びハイレベルに戻るグリッチｇが生成されるとき、前記出力信号Ｑにグリッチが生じることを防ぐことができる。以下、これについて詳細に説明する。

【００８５】

クロック信号ＣＫがローレベルのとき、当初、ラッチ回路３の第２のノードｎ２の信号はハイレベル、第３のノードｎ３の信号はローレベル、また、制御部３の第１のノードｎ１の信号はハイレベルである。前記クロック信号ＣＫがローレベルからハイレベルに遷移する時、入力信号Ｄがハイレベルの場合には、ＮＭＯＳトランジスタＭＮ４がオンになり、前記第１のノードｎ１は、前記第３のノードｎ３と同電位になろうとして、ローレベルへの遷移を始める。しかし、クロック信号ＣＫのハイレベルへの遷移に伴い第２のノードｎ２の信号がローレベルに遷移すると、第３のノードｎ３の信号はハイレベルに遷移し、また一方で、前記ＰＭＯＳトランジスタＭＰ３がオンになるため、前記第１のノードｎ１は、ローレベルへの遷移を中止して、前記第３のノードｎ３と同電位のハイレベルに遷移する。従って、前記第１のノードｎ１の信号にはハイレベルから一時的にローレベルに遷移した後に、再びハイレベルに遷移するグリッチ波形が生成される。

【００８６】

このとき、グリッチの最低電位がＮＡＮＤ回路ＮＡＮＤ１の論理閾値電圧より低下する場合には、出力部４における第４のノードｎ４にも、当初ローレベルから一時ハイレベルに遷移した後に、再びローレベルに遷移するグリッチが生成されようとするが、本実施の形態では、グリッチが制御部３の第１のノードｎ１から出力部４の第４のノードｎ４に伝播される前に、前記第２のノードｎ２の信号がローレベルに遷移して、ＮＭＯＳトランジスタＭＮ６はオフとなるので、出力信号Ｑはハイレベルに保持される。従って、ＮＭＯＳトランジスタＭＮ６により、前記出力信号Ｑにハイレベルからローレベルに遷移しようとするグリッチの生成を抑制する第２の遮断手段１３を構成する。

【００８７】

以上述べたとおり、本実施の形態では、出力端子にグリッチが生成されないため消費電力を小さくすることができる。

【００８８】

尚、本実施の形態は図４に示したフリップフロップ回路に適用したが、図１、図３、図５又は図７のフリップフロップ回路に対して適用してもよいのは勿論である。

【００８９】

（第７の実施の形態）

図９は第７の実施の形態におけるフリップフロップ回路の変形例を示す回路図である。

【００９０】

図８に示した第６の実施の形態との違いは、出力端子Ｑと電源との間に、ＰＭＯＳトランジスタＭＰ７が接続されている点である。ここで、このＰＭＯＳトランジスタＭＰ７のゲートには入力部１における第２のノードｎ２が接続される。

【００９１】

以上により、入力信号Ｄがハイレベルであり且つクロック信号ＣＫがローレベルからハイレベルに遷移する場合において、前記第２のノードｎ２の信号がハイレベルからローレベルに遷移したとき、前記ＰＭＯＳトランジスタＭＰ７がオンになるので、第１、第３及び第４のノードｎ１、ｎ３、ｎ４の変化を待つこともなく出力信号Ｑが速やかにハイレベルに遷移する。ここで、２個のＰＭＯＳトランジスタＭＰ４、ＭＰ７と２個のＮＭＯＳトランジスタＭＮ６、ＭＮ７とから構成される回路は、前記第２のノードｎ２と第４のノードｎ４との２つの入力に対して信号Ｑを出力するＮＡＮＤ回路ＮＡＮＤ２の機能を有する。本実施の形態においても、図８と同様に、グリッチが前記出力信号Ｑに伝播されることはない。

【００９２】

従って、本実施の形態では、入力信号Ｄがハイレベルであり且つクロック信号ＣＫがローレベルからハイレベルに遷移するとき、出力信号Ｑを高速にハイレベルに遷移させて、フリップフロップ回路の高速動作を図ることができる。

【００９３】

尚、本実施の形態は、図８のフリップフロップ回路に適用したが、図１、図３、図４、図５又は図７のフリップフロップ回路に対して適用しても良い。

【００９４】

【発明の効果】

以上説明したように、請求項１～７記載の発明のフリップフロップ回路によれば、構成するＭＯＳトランジスタの数をできるだけ削減することができ、消費電力を削減することができる。さらに、制御部から入力部へ出力される制御信号が不要に変動することを防止でき、一層の低消費電力化が可能である。

【００９５】

特に、請求項３記載の発明のフリップフロップ回路によれば、制御部から入力部への制御信号の出力経路上に遅延回路を挿入したので、入力部の状態が安定してから制御部からの制御信号を入力部に入力することができ、フリップフロップ回路の動作を安定させることができる。

【００９６】

請求項４記載のフリップフロップ回路によれば、入力端子にローレベルの信号が加わり且つクロック端子の信号がローレベルからハイレベルへ遷移するとき、制御部の第１のノードのローレベルへの遷移を速くできるので、フリップフロップ回路の動作をより高速化することができる。

【００９７】

請求項５記載のフリップフロップ回路によれば、入力端子にハイレベルの信号が加わり且つクロック端子の信号がローレベルからハイレベルに遷移するとき、入力部の第２のノードがハイレベルからローレベルに遷移する時間を短くしたので、さらに動作を高速化する効果がある。

【００９８】

請求項６記載のフリップフロップ回路によれば、第２のノードの信号がローレベルのときに、第１のノードに一時的に現れるローレベルの信号が出力端子に不用意に伝播するのを遮断したので、出力端子でのグリッチの発生を防ぐことができ、消費電力を削減することができる。

【００９９】

請求項７記載のフリップフロップ回路によれば、第２のノードの信号がハイレベルからローレベルに遷移するとき、高速に出力端子をハイレベルにしたので、

フリップフロップ回路の動作をより高速化することができる。

【図面の簡単な説明】

【図１】

本発明の第１の実施の形態におけるフリップフロップ回路を示す回路図である。

【図２】

図１のフリップフロップ回路の動作を示すタイムチャート図である。

【図３】

本発明の第２の実施の形態におけるフリップフロップ回路を示す回路図である。

【図４】

本発明の第３の実施の形態におけるフリップフロップ回路を示す回路図である。

【図５】

本発明の第４の実施の形態におけるフリップフロップ回路を示す回路図である。

【図６】

同実施の形態のフリップフロップ回路の動作を示すタイムチャート図である。

【図７】

本発明の第５の実施の形態におけるフリップフロップ回路を示す回路図である。

【図８】

本発明の第６の実施の形態におけるフリップフロップ回路を示す回路図である。

【図９】

本発明の第７の実施の形態におけるフリップフロップ回路を示す回路図である。

【図１０】

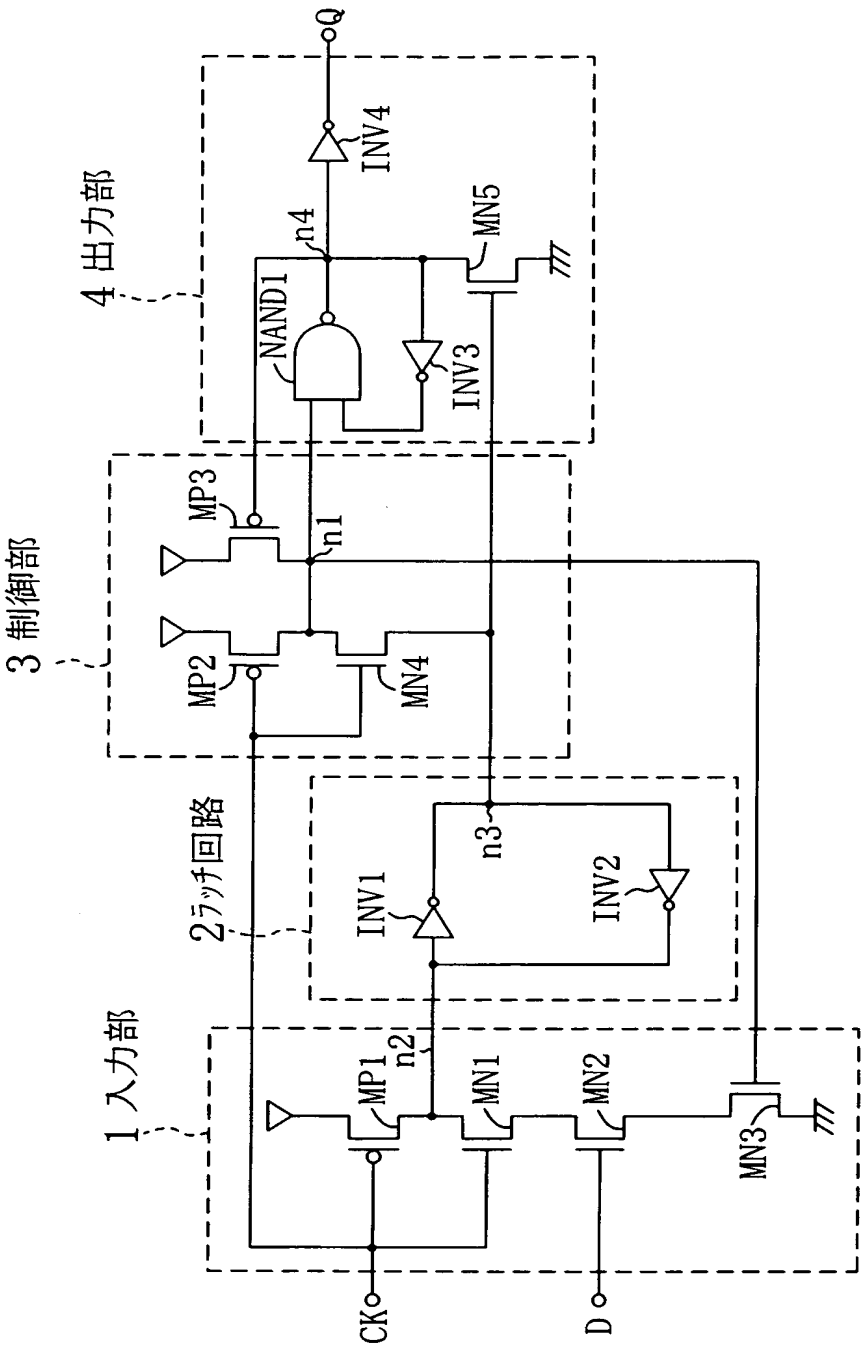
従来のフリップフロップ回路を示す回路図である。

【符号の説明】

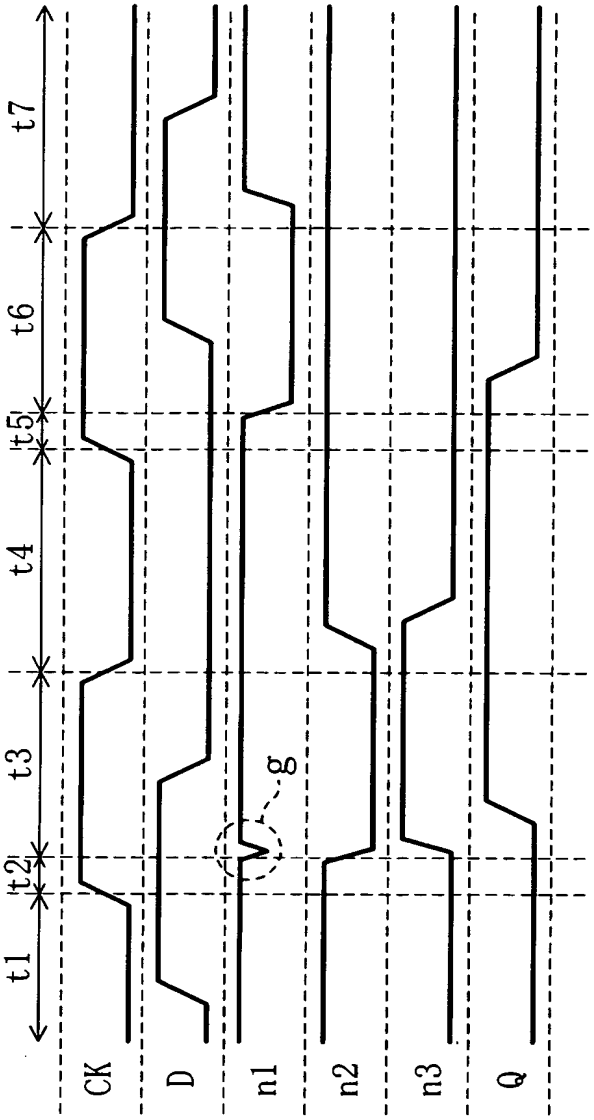
１	入力部
２	ラッチ回路
３	制御部
４	出力部
１０	遅延回路
１１	遷移速度促進手段
１２	第１の遮断手段
１３	第２の遮断手段
ＭＰ３	ＰＭＯＳトランジスタ
ＭＰ５	ＰＭＯＳトランジスタ
ＭＮ６	ＮＭＯＳトランジスタ
ＮＡＮＤ	ＮＡＮＤ回路
ＩＮＶ	インバータ回路
Ｎ	ノード
Ｄ	入力端子
ＣＫ	クロック端子
Ｑ	出力端子

【書類名】　図面

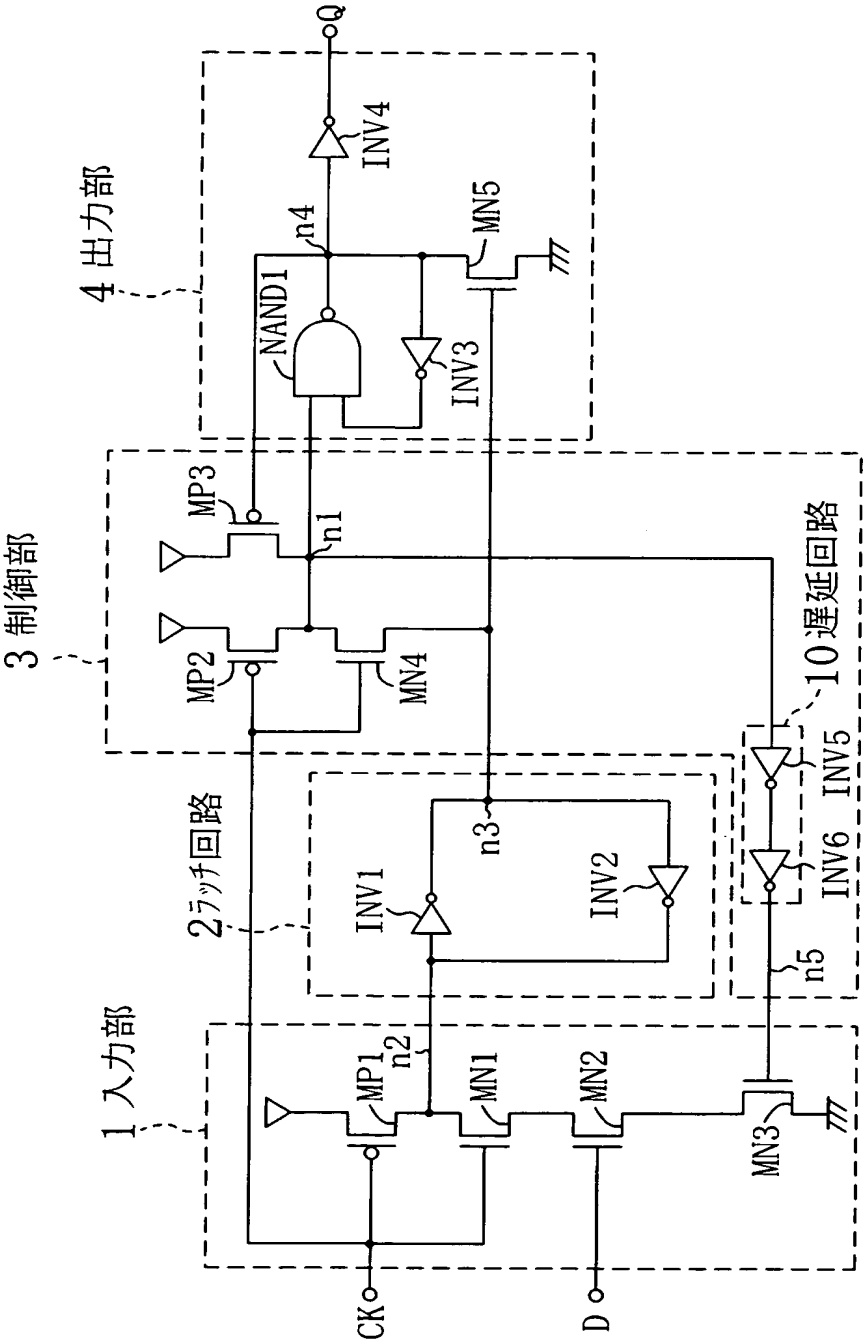
【図１】


Q
INV4
4 出力部
n4
MN5
NAND1
INV3
MP3
n1
3 制御部
MP2
MN4
2 ラッチ回路
n3
INV1
INV2
1 入力部
MP1
n2
MN1
MN2
MN3
CK
D

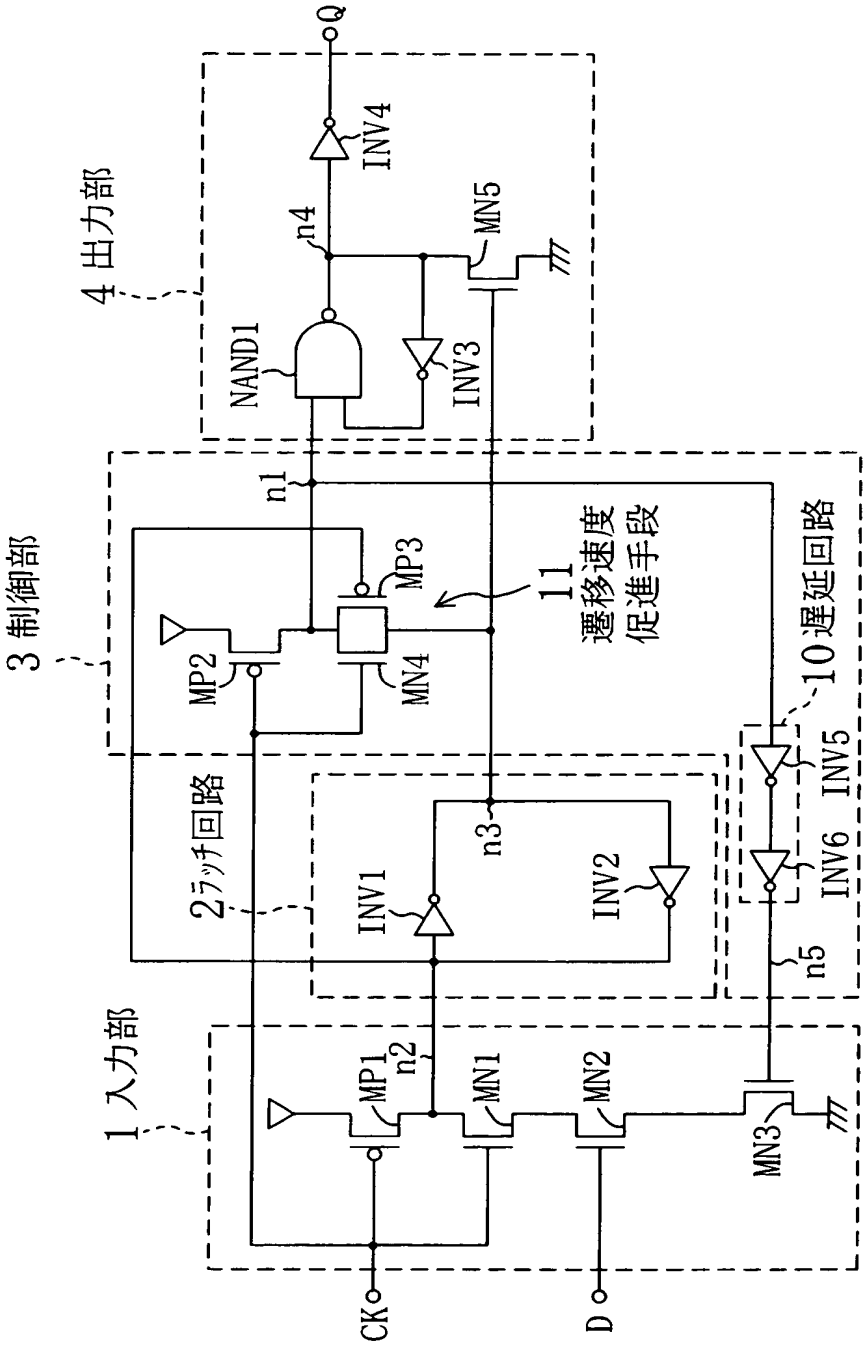
【図２】



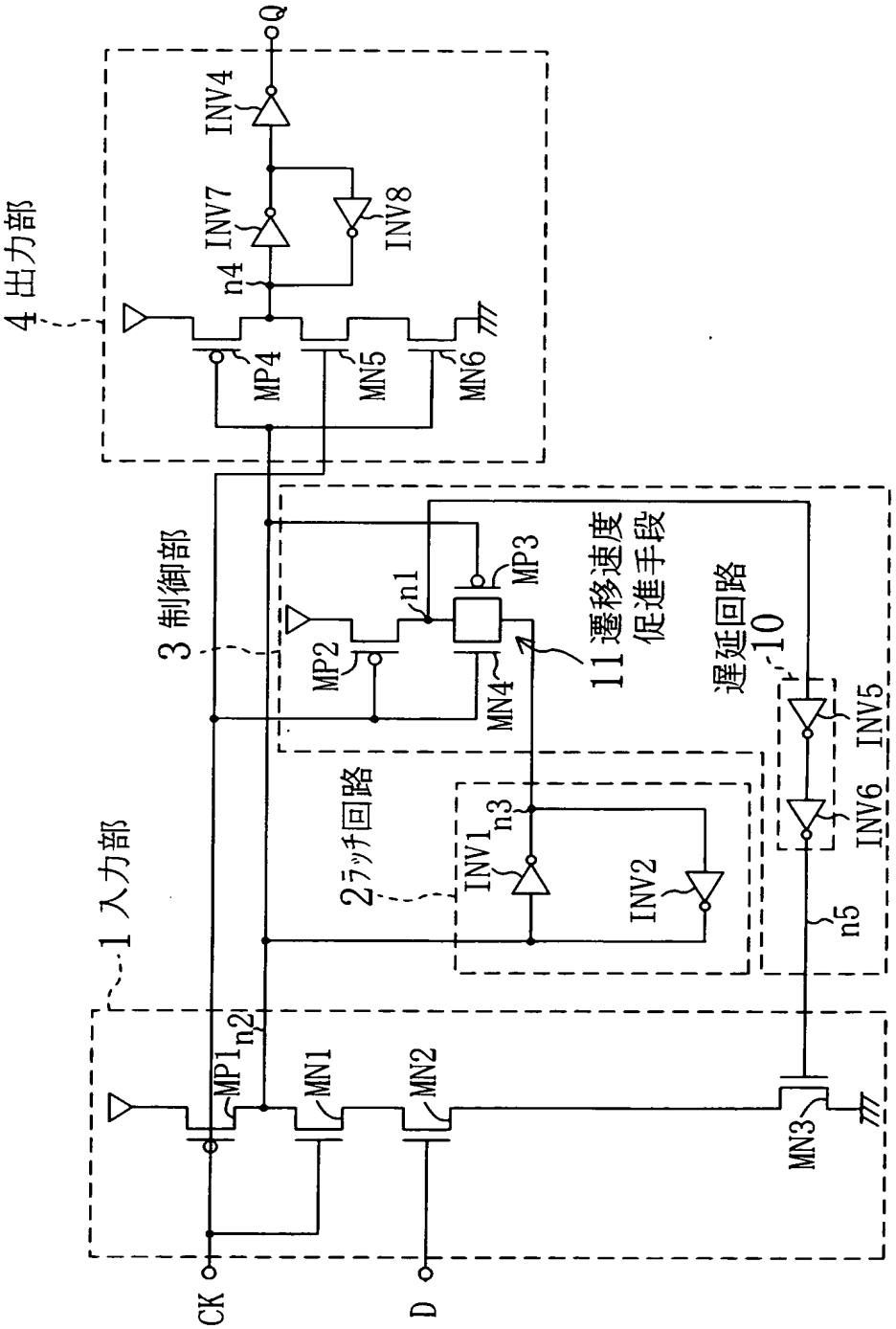
【図３】


Q
INV4
4 出力部
n4
MN5
NAND1
INV3
MP3
n1
3 制御部
MP2
MN4
10 遅延回路
INV5
INV6
2 ラッチ回路
INV1
n3
INV2
n5
1 入力部
MP1
n2
MN1
MN2
MN3
CK
D

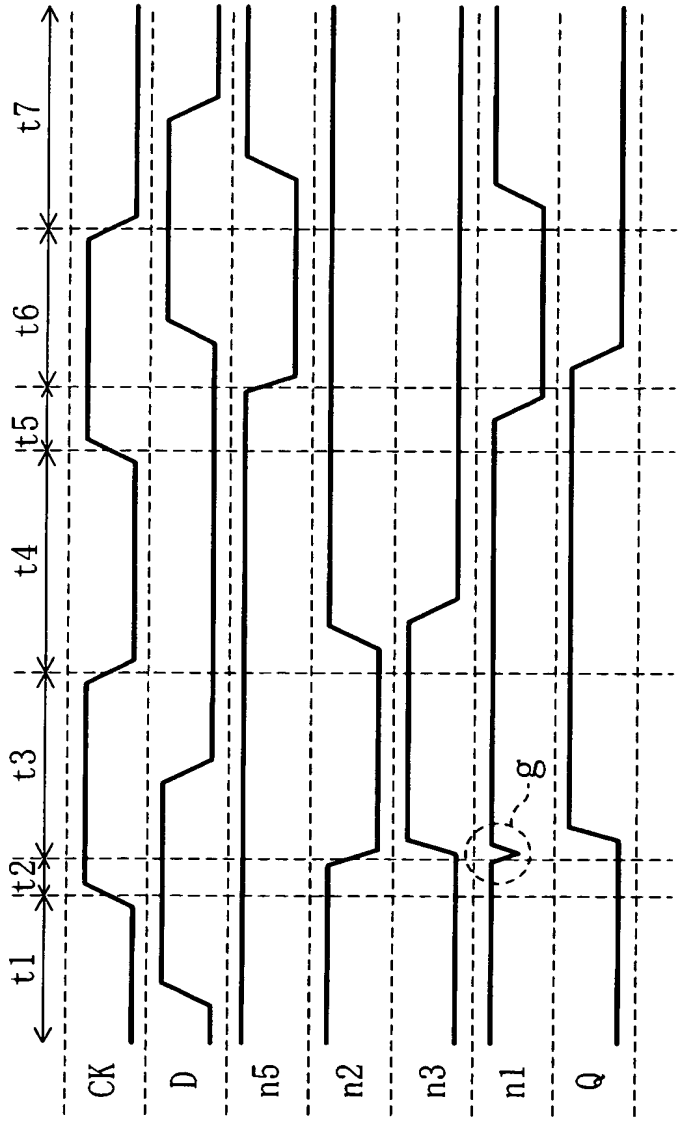
【図４】


Q
INV4
n4
MN5
4 出力部
NAND1
INV3
n1
MP3
11
遷移速度
促進手段
3 制御部
MP2
MN4
10 遅延回路
INV5
INV6
2 ラッチ回路
n3
INV1
INV2
n5
1 入力部
MP1
n2
MN1
MN2
MN3
CK
D

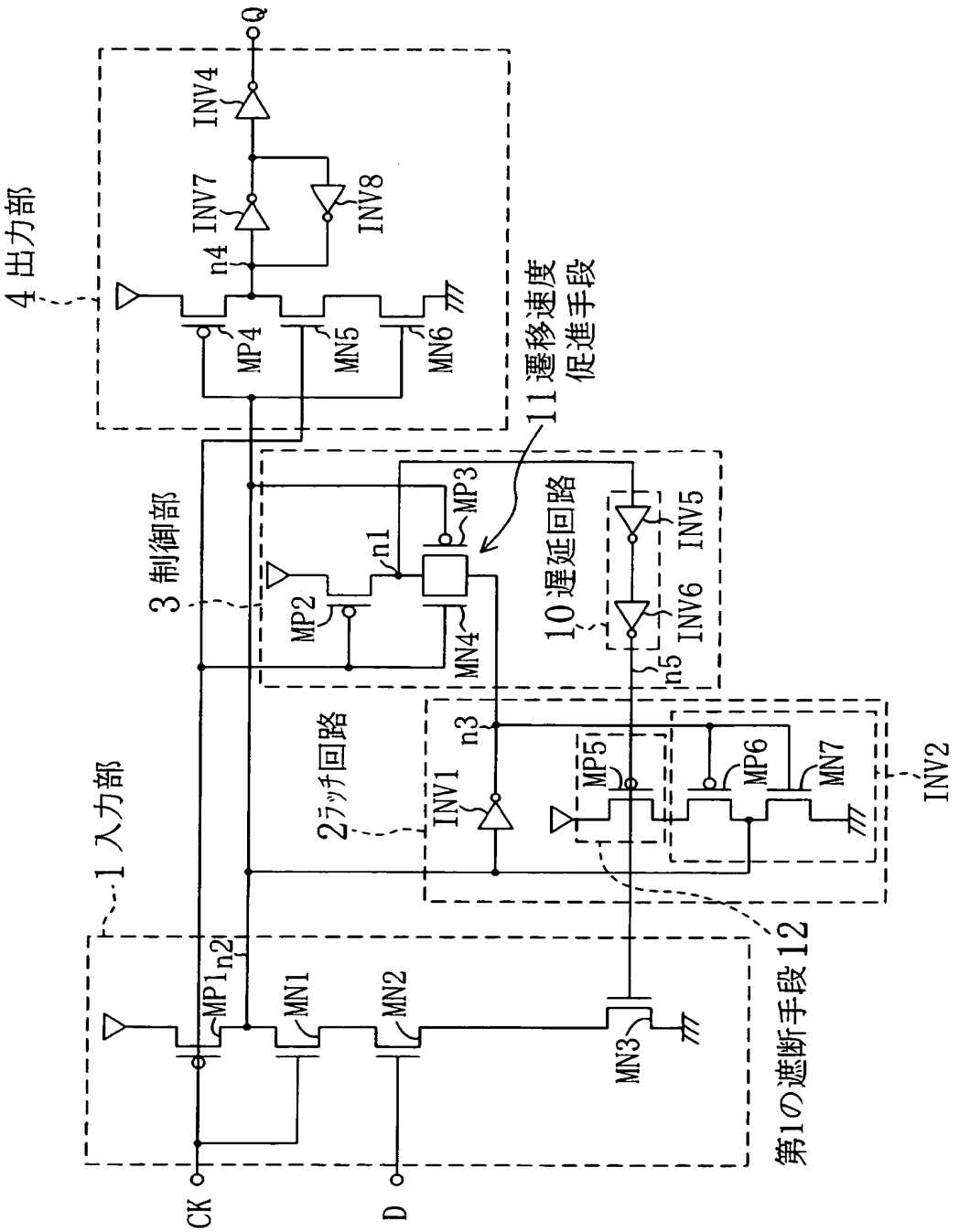
【図５】


Q
INV4
INV7
INV8
n4
4 出力部
MP4
MN5
MN6
3 制御部
MP2
n1
MP3
MN4
11 遷移速度促進手段
遅延回路
10
INV5
INV6
2 ラッチ回路
INV1
n3
INV2
n5
1 入力部
MP1
n2
MN1
MN2
MN3
CK
D

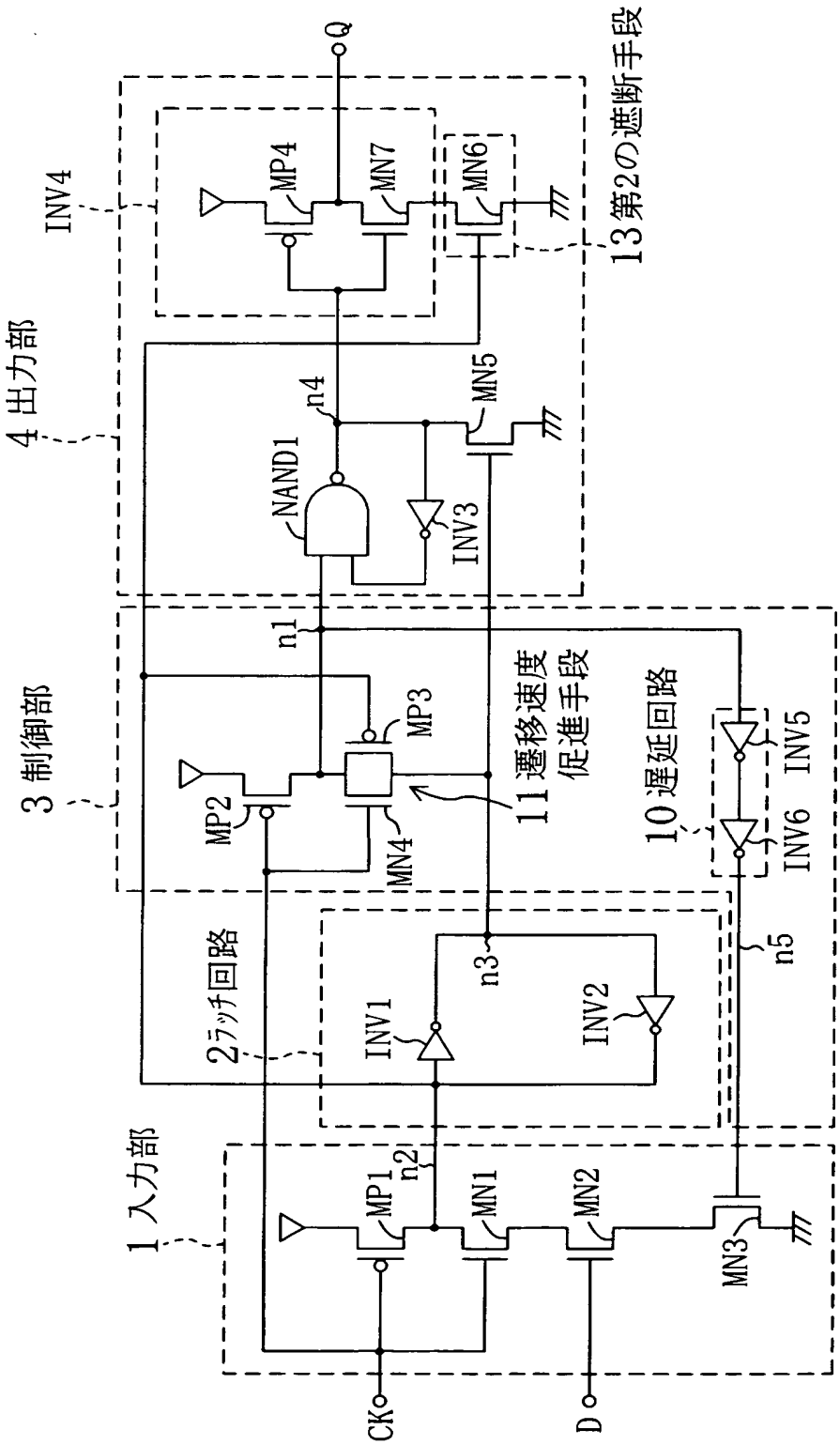
【図６】



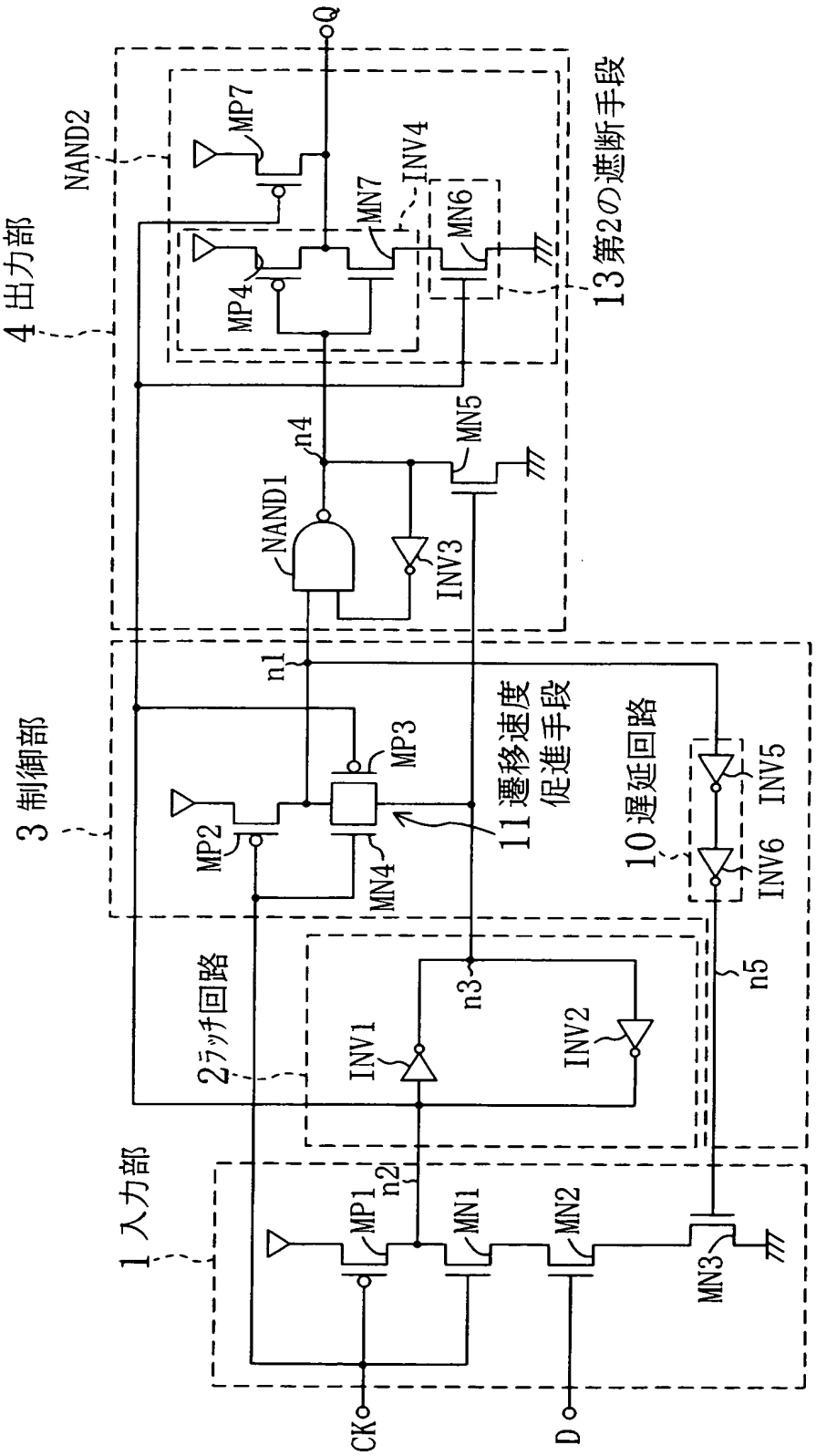
【図７】


Q
INV4
INV7
INV8
n4
4 出力部
MP4
MN5
MN6
11 遷移速度促進手段
3 制御部
MP2
n1
MP3
MN4
10 遅延回路
INV5
INV6
n5
2 ラッチ回路
INV1
n3
MP5
MP6
MN7
INV2
1 入力部
MP1
n2
MN1
MN2
MN3
第1の遮断手段 12
CK
D

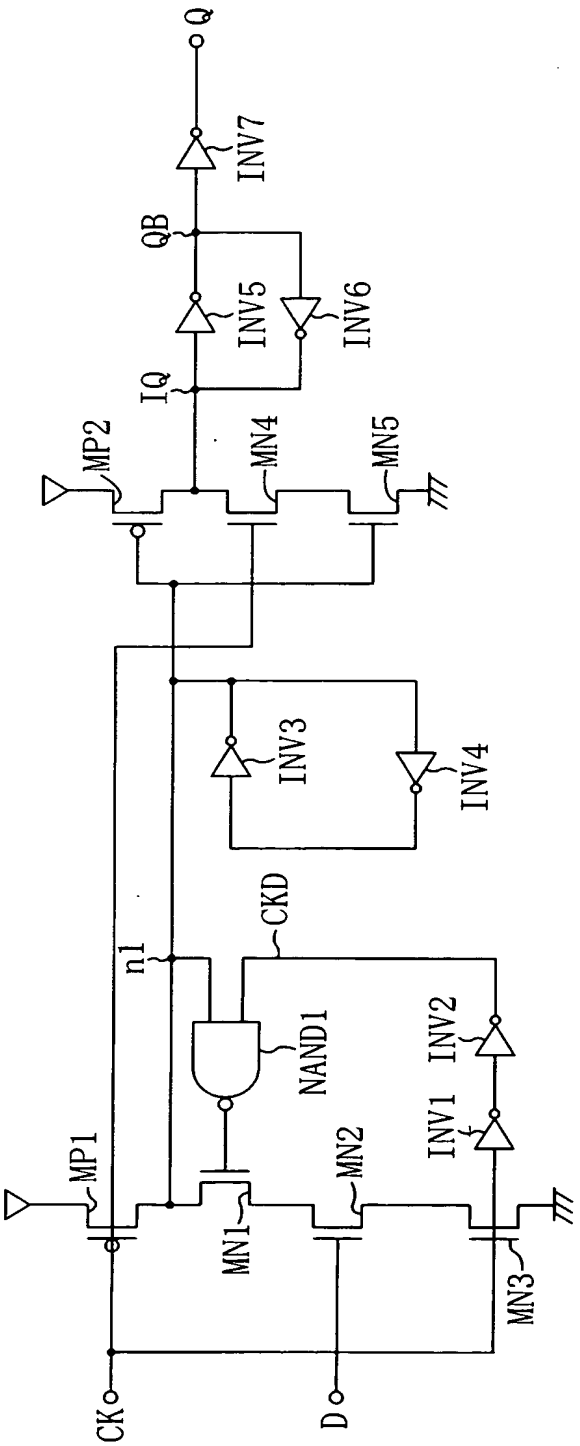
【図８】


Q
13第2の遮断手段
INV4
MP4
MN7
MN6
4出力部
n4
MN5
NAND1
INV3
n1
3制御部
MP3
MP2
MN4
11遷移速度
促進手段
10遅延回路
INV5
INV6
2ラッチ回路
n3
n5
INV1
INV2
1入力部
n2
MP1
MN1
MN2
MN3
CK
D

【図９】


Q
MP7
NAND2
INV4
MN7
MN6
4 出力部
MP4
13 第2の遮断手段
n4
MN5
NAND1
INV3
n1
3 制御部
MP3
11 遷移速度促進手段
10 遅延回路
INV5
INV6
MP2
MN4
2 ラッチ回路
n3
n5
INV1
INV2
1 入力部
n2
MP1
MN1
MN2
MN3
CK
D

【図１０】


Q
INV7
QB
INV5
INV6
IQ
MP2
MN4
MN5
INV3
INV4
CKD
n1
NAND1
INV2
INV1
MP1
MN2
MN1
MN3
CK
D

【書類名】　要約書

【要約】

【課題】　ダイナミック回路を用いた入力部とスタティック回路を用いた出力部を含み、クロック周期に比べて短いパルス幅の期間にデータ取り込みを行うフリップフロップ回路において、トランジスタ数、回路面積及び消費電力を削減する。

【解決手段】　入力部１の出力側に接続されたラッチ回路２を構成するインバータ回路ＩＮＶ１の出力を制御部３の入力として使用する。これにより、制御部３から入力部１に出力される制御信号が安定して、回路素子の不要な動作を抑制でき、無駄な電力を削減することができ、また、同時に制御部３の構成の簡素化をも実現できるので、構成トランジスタ数が少なく、回路面積を削減することができる。

【選択図】図１

特願２００２－３０４９００

出　願　人　履　歴　情　報

識別番号　　［０００００５８２１］

１．変更年月日　　１９９０年　８月２８日
［変更理由］　　新規登録
住　所　　大阪府門真市大字門真１００６番地
氏　名　　松下電器産業株式会社